

La figura 5.4.b presenta una versión mejorada del repetidor de corriente que minimiza el efecto de las corrientes de polarización de base a través del transistor Q_B . En este circuito se verifica que

$$I_{ref} = I_{C1} + \frac{NI_B}{1 + \beta} \tag{5.8}$$

resultando que

$$I_o = \frac{I_{ref}}{1 + \frac{N}{\beta(1 + \beta)}} = \frac{\frac{V_{CC} - 2V_{BE}}{R}}{1 + \frac{N}{\beta(1 + \beta)}} \tag{5.9}$$

En el denominador de la ecuación 5.9, N se encuentra dividido por $\beta(\beta+1)IB^2$ (si $\beta \gg 1$) frente a β en la ecuación 5.7. Como resultado, el circuito de la figura 5.4.b funciona correctamente con β pequeñas y admite un número mayor de salidas.

5.3.- Fuentes de corriente simples FET

Los espejos de corriente basados en transistores bipolares pueden ser extendidas a transistores FET pero con las propias particularidades de este tipo de dispositivos. Al ser los transistores FET dispositivos controlados por tensión, no presentan los problemas de polarización de base de los bipolares. Sin embargo, la relación cuadrática entre la I_D y la V_{GS} dificulta su análisis. La figura 5.5.a muestra una fuente de corriente simple basada en un espejo de corriente constituida por transistores NMOS. El valor de la intensidad de referencia I_{ref} que es idéntica a la intensidad de drenador del transistor M1, se obtiene resolviendo el siguiente sistema de ecuaciones:

$$\left. \begin{aligned} I_{ref} = I_{D1} &= \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right)_1 (V_{GS1} - V_T)^2 \\ V_{DD} - I_{ref} R + V_{GS1} &= V_{GS2} \end{aligned} \right\} \tag{5.10}$$

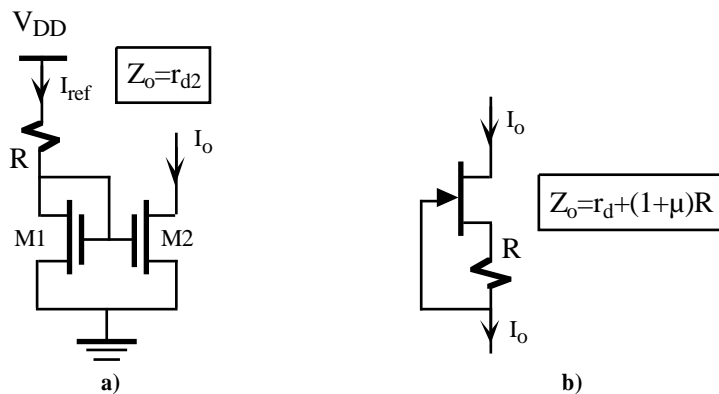


Figura 5.5. a) Espejo de corriente basado en un NMOS. b) Fuente de corriente simple con JFET.

En esta fuente de corriente se verifica que $V_{GS1} = V_{GS2}$. Si ambos transistores son idénticos y únicamente difieren en la relación (W/L) , entonces la relación entre las intensidades de ambos transistores es

$$\frac{I_{D1}}{I_{D2}} = \frac{I_{ref}}{I_o} = \frac{(W/L)_1}{(W/L)_2} \tag{5.11}$$

El circuito de la figura 5.5.b corresponde a una fuente de corriente simple basada en un JFET. La tensión en R proporciona la polarización necesaria para que el transistor trabaje en la zona de saturación. La corriente de salida se obtiene resolviendo las siguientes ecuaciones

$$\begin{cases} I_o = I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 \\ V_{GS} = I_o R \end{cases} \quad (5.12)$$

5.4.- Fuente de corriente Widlar

En muchos amplificadores integrados se requieren fuentes de corriente con niveles de polarización muy bajos (del orden de 5µA) y alta impedancia de salida. Generar estos valores con fuentes de corriente basadas en espejos de corriente exige que la resistencia de polarización sea del orden de 600kΩ; estas resistencias son muy costosas de integrar porque ocupan demasiada área. Estos valores de corriente se pueden generar con un coste más bajo en la fuente de corriente Widlar, cuya estructura se muestra en la figura 5.6.a. Esta fuente utiliza una resistencia de emisor de pequeño valor de forma que los transistores están trabajando con diferentes valores de V_{BE}.

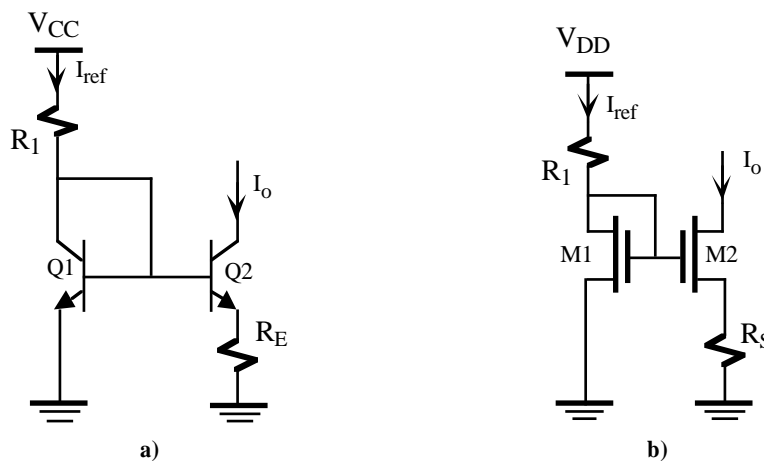


Figura 5.6. Fuente de corriente Widlar basada en a) transistores bipolares y b) MOSFET.

En este circuito, si se suma las tensiones en la base de los transistores, y asumiendo que β >> 1, se obtiene

$$V_{BE1} - V_{BE2} - I_{C2}R_E = 0 \quad (5.13)$$

Sustituyendo las tensiones V_{BE} por las expresiones de las ecuaciones de Ebers-Moll indicadas en la ecuación 5.1 y suponiendo transistores idénticos I_{S1}=I_{S2}=I_S, resulta

$$V_T \ln \frac{I_{C1}}{I_S} - V_T \ln \frac{I_{C2}}{I_S} - I_{C2}R_E = 0 \quad (5.14)$$

Al simplificar y agrupar la anterior ecuación y teniendo en cuenta que I_{C2}=I_o se obtiene la ecuación característica de la fuente Widlar

$$\boxed{V_T \ln \frac{I_{C1}}{I_0} = I_0 R_E} \quad (5.15)$$

siendo

$$I_{C1} = \frac{V_{CC} - V_{BE}}{R_1} \quad (5.16)$$

La resistencia de salida de esta fuente se puede aproximar mediante la expresión

$$\boxed{Z_o = h_{oe} \left(1 + \frac{R_E}{h_{ie2} + R_E} \right)} \quad (5.17)$$

que como se puede observar su Z_o es mucho más elevado que el correspondiente a la fuente de corriente basada en espejo de corriente.

La versión de la fuente Widlar basada en transistores MOSFET se representa en la figura 5.6.b y verifica las siguientes ecuaciones

$$\begin{cases} I_{D1} = \frac{\mu}{2} (V_{GS1} - V_T)^2 \\ V_{DD} = I_{ref} R_1 + V_{GS1} \\ V_{GS1} = V_{GS2} + I_0 R_S \\ I_0 = \frac{\mu}{2} (V_{GS2} - V_T)^2 \end{cases} \quad (5.18)$$

con una resistencia de salida

$$\boxed{Z_o = r_{d2} + (1 + \infty) R_S} \quad (5.19)$$

5.5.- Otras fuentes de corriente

A partir de la estructura del espejo de corriente y fuentes Widlar se obtienen nuevas fuentes de corriente que mejoran algunas de sus prestaciones. En los circuitos de la figura 5.7 se presentan las más típicas basadas en transistores bipolares. En la fuente de corriente simple con resistencias de emisor de la figura 5.7.a, la relación entre las corrientes de ambos transistores está condicionada por la relación de sus resistencias de emisor. La fuente de corriente Wilson de la figura 5.7.b proporciona corrientes de salida similares al espejo de corriente aumentando enormemente la impedancia de salida. La fuente cascode de la figura 5.7.c presenta una impedancia de salida aún mayor manteniendo niveles de corriente de salida altos.

Las estructuras desarrolladas para transistores bipolares pueden ser adaptadas a transistores MOSFET resultando las fuentes de corriente de la figura 5.8. Están basadas en espejos de corriente y la corriente de salida se especifica a partir de I_{ref} y la relación geométrica de las puertas de los transistores M1 y M2. La resistencia de salida es idéntica en todas ellas y se puede aproximar por $Z_o \approx h_{ie2}$.

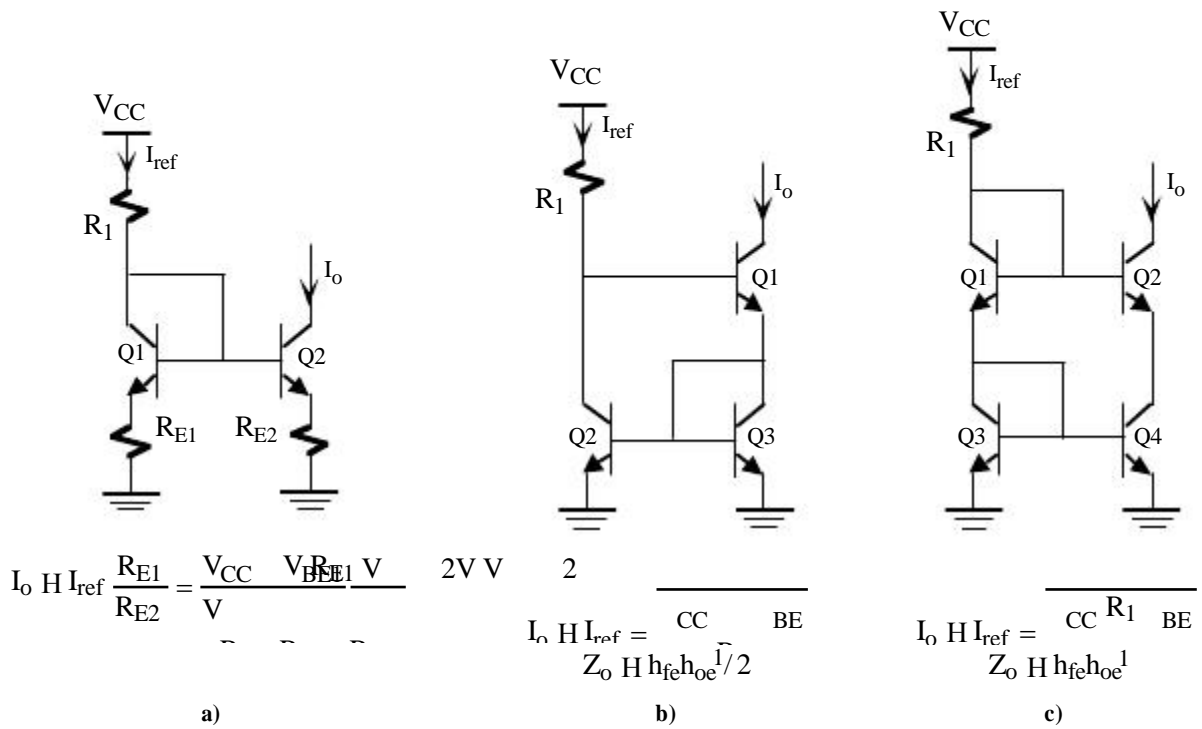


Figura 5.7. Fuentes de corriente basadas en transistores bipolares: a) simple con resistencias de emisor. b) Wilson. c) cascode.

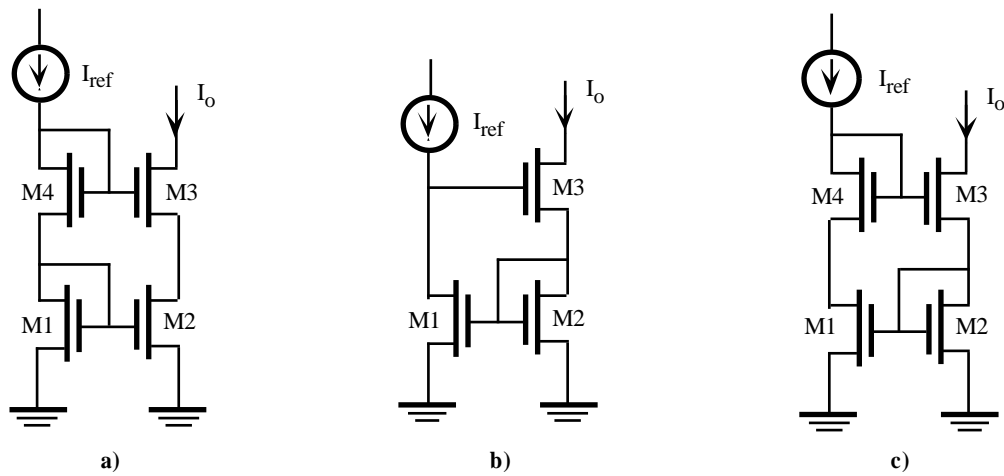


Figura 5.8. Fuentes de corriente con MOSFET: a) cascode. b) Wilson. c) Wilson modificada.

5.5.1.- Fuentes de corriente independientes de la tensión de polarización

En muchas aplicaciones es preciso asegurar el funcionamiento del circuito con independencia de las tensiones de alimentación. Las anteriores fuentes de corriente tienen como inconveniente que la intensidad de salida es directamente proporcional a la tensión de alimentación. Por ejemplo, dos espejos de corriente idénticos alimentados con 10V y 30V, el primero tendría corrientes de polarización tres veces inferior al segundo y, por

consiguiente, el segundo disiparía nueve veces más potencia que el primero. Este tipo de fuentes independientes de V_{CC} pueden ser clasificadas en: fuentes que operan con tensiones standard (por ejemplo, V_{BE} de un transistor) y fuentes basadas en diodos Zener.

En la figura 5.9.a se muestra una fuente cuya corriente de salida está fijada por la tensión base-emisor del transistor Q1 y cuyo valor es

$$I_o = \frac{V_{BE1}}{R_E} \tag{5.20}$$

El correcto funcionamiento de este circuito exige que la intensidad de salida I_o debe ser suficientemente elevada para que la caída de tensión en R_E polarice a Q1 en la región lineal, es decir, $I_o R_E > V_{BE20}$. La independencia de I_o con la tensión de alimentación no se logra totalmente ya que I_{ref} depende linealmente de V_{CC} al verificar $I_{ref} = (V_{CC} - 2V_{BE}) / R_1$. Una variación en I_{ref} genera a su vez una variación en $V_{BE1} = V_T \ln(I_{ref} / I_S)$, luego I_o no es totalmente insensible a la tensión de alimentación.

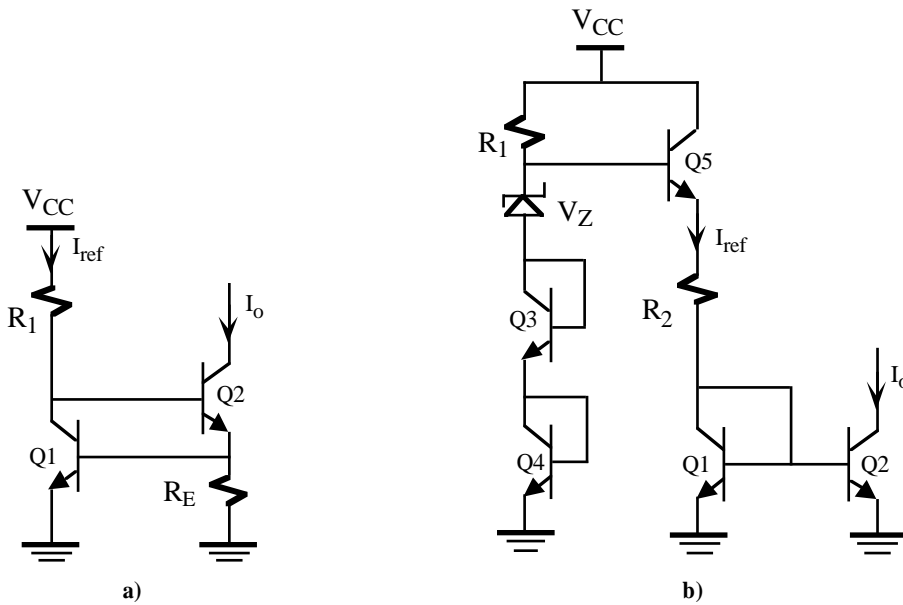


Figura 5.9. Fuentes de corriente independientes de la tensión de alimentación definidas por a) V_{BE} y b) diodo Zener.

Las fuentes de corriente que utilizan diodos Zener utilizan la tensión zener para obtener tensiones de referencia necesarias para generar una corriente de referencia independiente de la tensión de alimentación. Además, el coeficiente térmico del diodo Zener permite estabilizar estos circuitos frente a las variaciones de la temperatura. Un ejemplo de esta fuente se indica en la figura 5.9.b. La resistencia R_1 polariza al diodo zener y a Q5. Los transistores Q3 y Q4, que actúan como diodos, compensan las tensiones base-emisor de Q5 y Q1. De esta manera, la intensidad que circula por R_2 , que es prácticamente igual a la intensidad de salida I_o debido al espejo de corriente que forman por Q1 y Q2, vale

$$I_o = \frac{V_Z}{R_2} \tag{5.21}$$

5.6.- Fuente de corriente como carga activa

Una fuente de corriente además de actuar como circuito de polarización posee una impedancia interna de alto valor que puede ser utilizada como elemento de carga de amplificadores. Con ello se consigue obtener cargas de un alto valor resistivo con un área de ocupación muy inferior con respecto a las resistencias de difusión de ese mismo valor. En la figura 5.10.a se presenta un ejemplo de un amplificador constituido por el transistor Q1 en configuración E-C que tiene una fuente de corriente simple basada en un espejo de corriente de transistores PNP como carga activa. Al estar el colector de Q1 conectado al de Q2, uno de los problemas de este amplificador consiste en asegurar que ninguno de los transistores entran en saturación. En pequeña señal Q1 “ve” como carga la resistencia de salida $Z_o (= h_{oe2}^{-1})$ del transistor Q2 que corresponde a la resistencia de salida de un espejo de corriente. La expresión de la ganancia en tensión se obtiene a partir del modelo de pequeña señal de este amplificador (se desprecia h_{re}) indicado en la figura 5.10.b y su valor es

$$A_V = \frac{h_{fe} (h_{oe1}^{-1} \parallel h_{oe2}^{-1})}{h_{ie}} \tag{5.22}$$

Las resistencias de carga en este tipo de circuitos son elevadas lo que se traduce en una alta ganancia de tensión. Por ello, con una o dos etapas amplificadoras de estas características se logran ganancias del orden de 100.000 a 1.000.000, impensable con elementos resistivos.

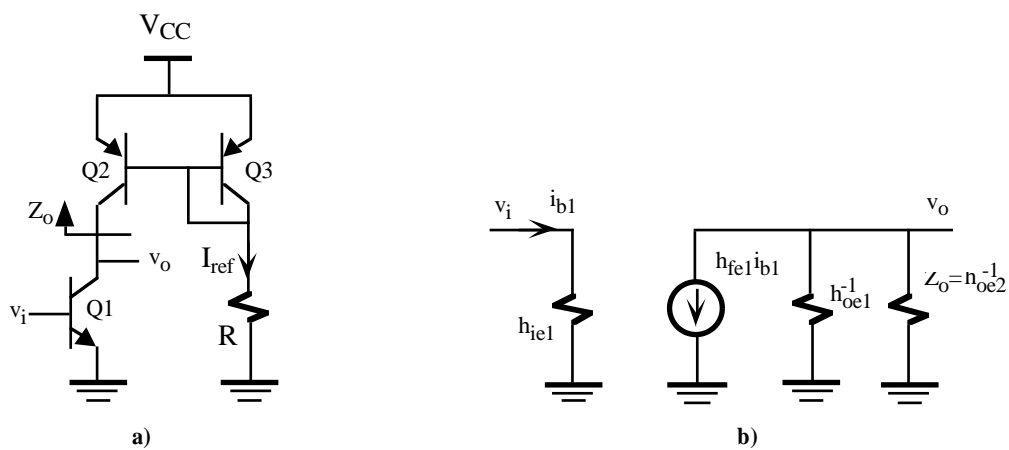


Figura 5.10. a) Amplificador en EC con carga activa. b) Modelo de pequeña señal.

Problemas

P5.1 Diseñar un espejo de corriente con transistores NPN y otro con transistores PNP de corrientes de salida 1mA y 0.7mA respectivamente. Dato: $h_{FE} \gg 1$.

P5.2 Calcular el valor de R de la fuente de corriente de la figura 5.1.a para que la intensidad de salida sea de 100µA. Datos: $V_{CC}=15\text{ V}$, $h_{FE} \gg 1$. Repetir el problema con $h_{FE}=10$.

P5.3 Obtener el valor de las corrientes I_{o1} , I_{o2} , I_{o3} e I_{o4} del circuito de la figura P5.3. Datos: $V_{CC}=15\text{V}$, $R=15\text{k}\Omega$, $h_{FE} \gg 1$. Proponer una modificación de este circuito que reduzca al mínimo el problema de las corrientes de polarización de base.

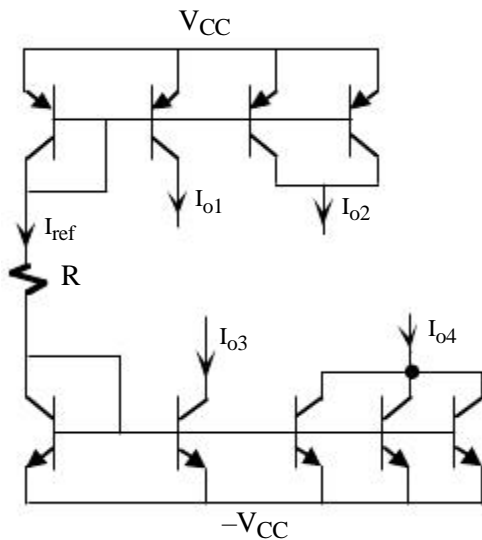


Figura P5.3

P5.4 Obtener el modelo equivalente Norton de la fuente de corriente de la figura P5.4. para ello, se ha medido experimentalmente que para $R_L=10\text{k}\Omega$ la tensión de salida $V_o=7.5\text{ V}$, y que para $R_L=50\text{k}\Omega$ se ha obtenido una $V_o=2.5\text{ V}$. Calcular aproximadamente el rango de valores de R_L para que opere el circuito correctamente. Dato: $V_{CC}=10\text{ V}$

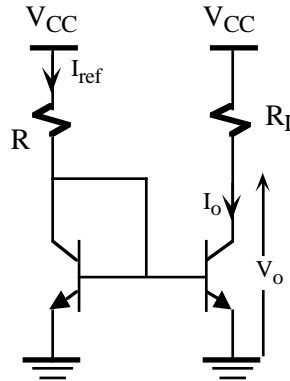


Figura P5.4

P5.5 Determinar el valor de las intensidades de salida de las fuentes de las figuras 5.4.a y 5.4.b en el caso de $N=11$. Datos: $V_{CC}=10\text{V}$, $R=23.2\text{k}\Omega$, $\beta=40$.

P5.6 Obtener la expresión que relaciona I_o e I_{ref} en el circuito de la figura P5.6.

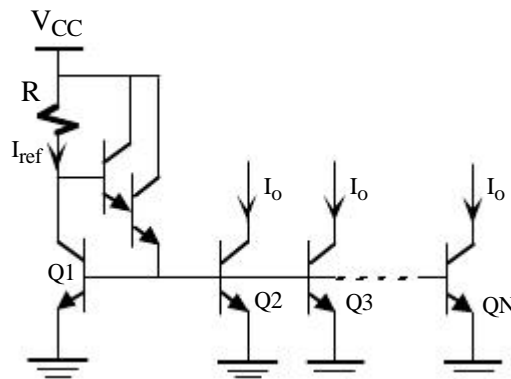


Figura P5.6

P5.7 Calcular el valor de I_o de la fuente de corriente de la figura 5.5.a. Datos: $(W/L)_1=(W/L)_2=10$, $V_T=1\text{V}$, $k=100\mu\text{A/V}^2$, $R=16\text{k}\Omega$, $V_{DD}=10\text{V}$.

P5.8 Calcular el valor de I_o del circuito de la figura P5.8.

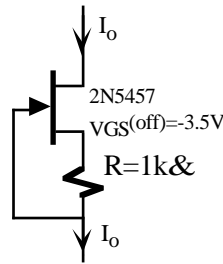


Figura P5.8

- P5.9 Si en el circuito de la figura P5.9 $I_{ref}=1\text{mA}$, determinar el valor de I_{o1} e I_{o2} . Datos: $(W/L)_1=1$ $(W/L)_2=10$ y $(W/L)_3=0.1$.

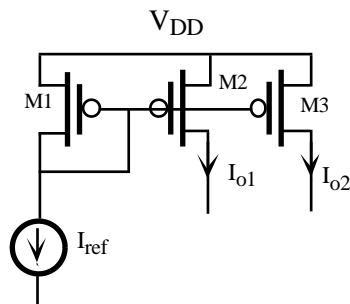


Figura P5.9

- P5.10 Determinar el valor de R_E de la fuente de corriente Widlar de la figura 5.6.a para que proporcione una intensidad de salida de $10\mu\text{A}$. Datos: $V_{CC}=30\text{V}$, $R_1=29.3\text{k}\Omega$.
- P5.11 Si en la anterior fuente, la intensidad que circula por R_1 es de 1mA y $R_E=5\text{k}\Omega$, calcular el valor de I_o .
- P5.12 Diseñar una fuente de corriente Wilson con transistores PNP con una intensidad de salida de 0.8mA .
- P5.13 Calcular el valor de I_o de la fuente de corriente de la figura 5.6.b. Datos: $(W/L)_1=(W/L)_2=10$, $V_T=1\text{V}$, $k=100\mu\text{A}/\text{V}^2$, $R_1=6\text{k}\Omega$, $R_S=330\Omega$, $V_{DD}=10\text{V}$.
- P5.14 Calcular la I_o y Z_o de la fuente de corriente cascode de la figura 5.7.c si los transistores tienen unas características eléctricas similares al BC547B. Datos: $V_{CC}=10\text{V}$, $R=8.6\text{k}\Omega$.

- P5.15 Obtener el valor de I_o de la fuente de bajo nivel de corriente de la figura P5.15. Despreciar las intensidades de base. $I_{ref}=0.1\text{mA}$, $R=1\text{k}\Omega$.

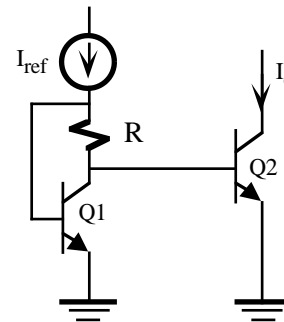


Figura P5.15

- P5.16 En la figura P5.16 se muestra una fuente de corriente cascode basada en transistores NMOS, todos ellos con la misma relación geométrica $(W/L)=10$. Calcular el valor de la corriente de salida. Datos: $V_T=1\text{V}$, $k=33\mu\text{A}/\text{V}^2$, $R=13.5\text{k}\Omega$, $V_{DD}=10\text{V}$.

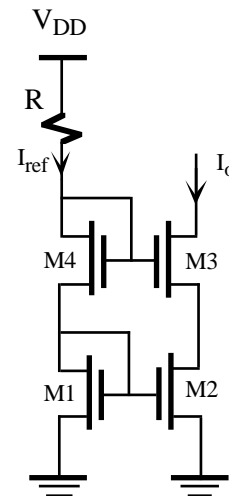


Figura P5.16

- P5.17 Determinar el valor de I_o de la fuente de corriente de la figura 5.9.a. Despreciar las intensidades de base. Datos: $V_{CC}=15\text{V}$, $R_1=10\text{k}\Omega$ y $R_E=1\text{k}\Omega$.
- P5.18 Repetir el problema anterior considerando que los transistores tienen una $I_S=10^{-16}\text{A}$. Despreciar las intensidades de base.
- P5.19 Determinar el valor de R_2 para que la

intensidad de salida del circuito de la figura 5.9.b sea de 1mA. Despreciar las intensidades de base. Datos: $V_{CC}=15\text{ V}$, $V_Z=4\text{ V}$ y $R_1=10k\Omega$.

P5.20 Calcular el valor de I_o de la fuente de corriente independiente de la tensión de alimentación mostrada en la figura P5.20. Despreciar las intensidades de base. Datos: $V_{CC}=10\text{ V}$, $R=10k\Omega$, $V_Z=4\text{ V}$ y $N=2$.

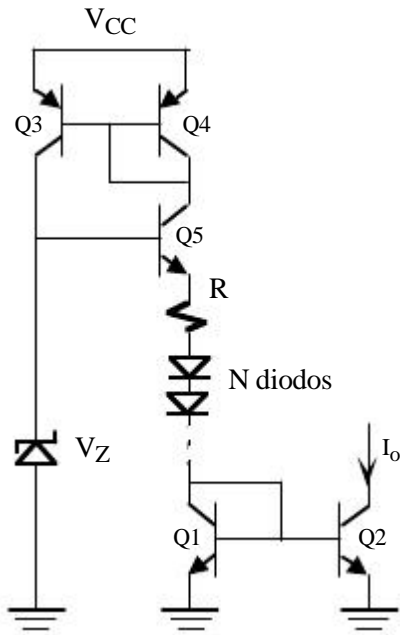


Figura P5.20

P5.21 En la fuente de corriente del problema P5.20 determinar el número máximo N de diodos que puede tener ese circuito.

P5.22 Para el amplificador multietapa con carga activa de la figura 5.22, se pide:

- Calcular las corrientes de colector de todos los transistores. Determinar el valor de la tensión en continua (V_{DC}) a la entrada de $Q1$ para su correcta polarización.
- Obtener el modelo de tensión equivalente del amplificador.
- Explicar la finalidad del diodo zener.

Despreciar las corrientes de base. Datos: NPN: $I_S=0.5 \cdot 10^{-15}$, $h_{oe}=1/100k\Omega$, $h_{ie}=5k\Omega$, $h_{fe}=200$; PNP: $I_S=0.7 \cdot 10^{-15}$, $h_{oe}=1/80k\Omega$, $h_{ie}=6k\Omega$, $h_{fe}=150$, $R=10k\Omega$, $V_{CC}=10\text{ V}$ y $V_Z=4\text{ V}$.

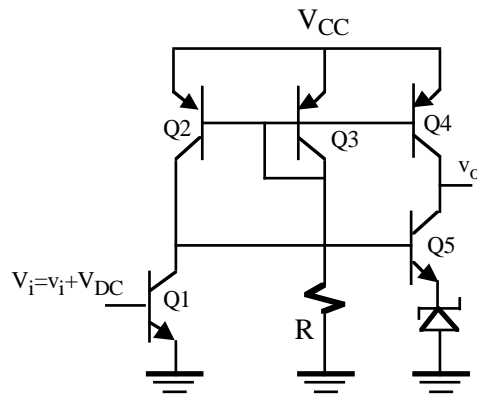


Figura P5.22

P5.23 El circuito de la figura P5.23 es una amplificador constituido por dos etapas básicas que utiliza fuentes de intensidad en su polarización. Se pide:

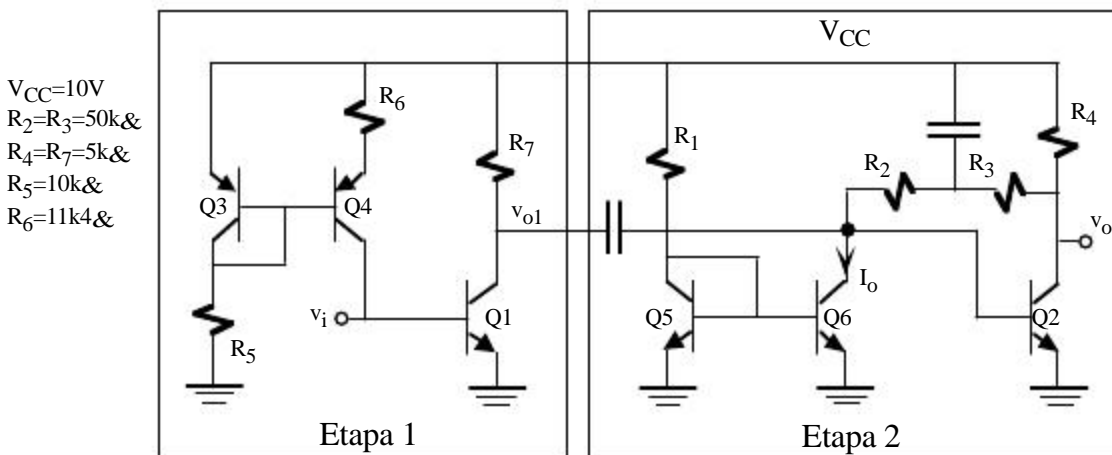


Figura P5.23

$V_{CC}=10V$
 $R_2=R_3=50k\Omega$
 $R_4=R_7=5k\Omega$
 $R_5=10k\Omega$
 $R_6=11k\Omega$

- a) Para la etapa 1:
- a.1) Calcular la I_C del transistor Q1.
 - a.2) Determinar el valor de R_5 que haga entrar al transistor Q1 en saturación.
 - a.3) Modelo equivalente en intensidad de esta etapa.
- b) Para la etapa 2:
- b.1) Calcular el valor de R_1 para que la I_B de Q2 sea de $10\mu A$.
 - b.2) Calcular el valor de I_o que haga entrar en corte al transistor Q2 .
 - b.3) ¿Existe algún valor de I_o que haga entrar al transistor Q2 en saturación?. ¿Por qué?
 - b.4) Modelo equivalente en tensión de esta etapa. Dato: $R_1=400k\Omega$.
- c) Obtener el modelo equivalente en tensión del amplificador completo a partir de los modelos calculados en a.3 y b.4.

Para todos los transistores:

NPN: $h_{FE}=100$, $V_{BE}=0.7$ V, $V_{CE(sat)}=0.2$ V,

$h_{fe}=120$, $h_{ie}=5k\Omega$, $h_{oe}=h_{re}=0$.

PNP: $h_{FE}=80$, $V_{EB}=0.7$ V, $V_{EC(sat)}=0.2$ V,

$h_{fe}=70$, $h_{ie}=4k\Omega$, $h_{oe}=h_{re}=0$.

TEMA 6

Amplificador diferencial

6.1.- Introducción

El amplificador diferencial es un circuito que constituye parte fundamental de muchos amplificadores y comparadores y es la etapa clave de la familia lógica ECL. En este tema se describen y analizan diferentes tipos de amplificadores diferenciales basados en dispositivos bipolares y FET. Se abordan técnicas de polarización y análisis de pequeña señal introduciendo los conceptos en modo diferencial y modo común que permiten simplificar el análisis de estos amplificadores. Por último, se presentan y estudian amplificadores diferenciales integrados complejos que resultan muy útiles como introducción a los amplificadores operacionales.

6.2.- Análisis de un amplificador diferencial básico bipolar

El amplificador diferencial constituye la etapa de entrada más típica de la mayoría de los amplificadores operaciones y comparadores, siendo además el elemento básico de las puertas digitales de la familia lógica ECL. En la figura 6.1.a aparece la estructura básica de este amplificador. Uno de sus aspectos más importantes es su simetría que le confiere unas características muy especiales de análisis y diseño. Por ello, los transistores Q1 y Q2 deben ser idénticos, aspecto que únicamente se logra cuando el circuito está fabricado en un chip. Realizar este amplificador con componentes discretos pierde sus principales propiedades al romperse esa simetría. A continuación se realiza un análisis de este amplificador, primero en continua y luego en alterna donde se introducen los conceptos de configuración en modo común y modo diferencial.

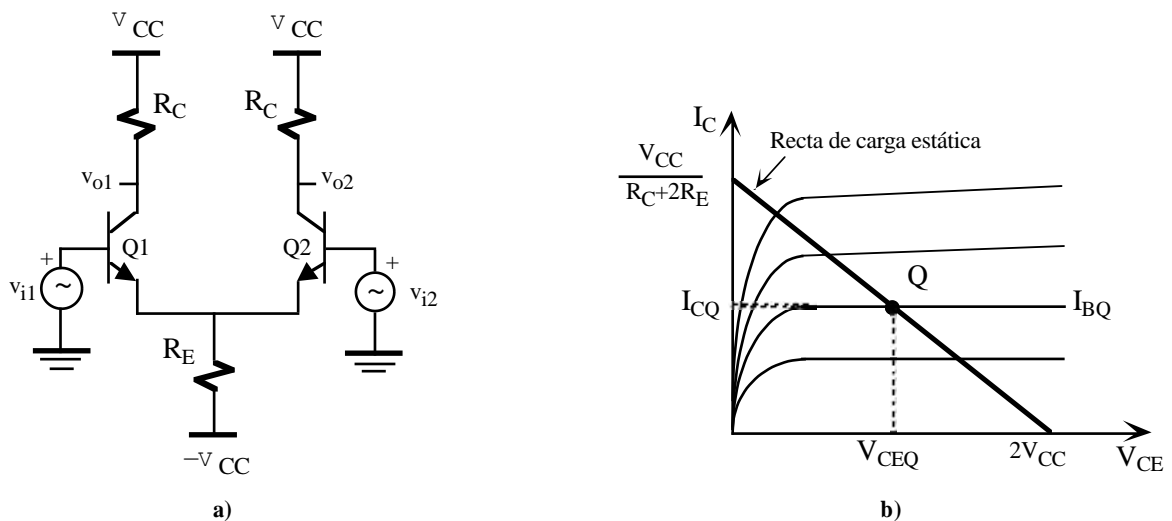


Figura 6.1. a) Amplificador diferencial básico y b) recta de carga estática.

6.2.1.- Análisis en continua

En el caso de que v_{i1} y v_{i2} sean componentes de pequeña señal, y suponiendo que $h_{FE} \gg 1$, entonces se puede extraer del circuito de la figura 6.1.a la siguiente relación

$$0 \approx V_{BE} + (I_{E1} + I_{E2})R_E - V_{CC} \tag{6.1}$$

La simetría del circuito y el hecho de que Q1 y Q2 son transistores idénticos hace que $I_{E1} = I_{E2} = I_E$ de forma que

$$I_E \approx I_C = \frac{V_{CC} - V_{BE}}{2R_E} \tag{6.2}$$

La ecuación de recta de carga estática se obtiene aplicando KVL a la malla colector-emisor de los transistores:

$$2V_{CC} \approx V_{CE} + I_C(R_C + 2R_E) \tag{6.3}$$

Esta recta se encuentra dibujada en la figura 6.1.b. La situación del punto de trabajo define los límites de variación de señal de entrada y el rango de funcionamiento lineal permisible. La máxima amplitud de salida se consigue cuando $V_{CEQ} = V_{CC}$.

6.2.2.- Análisis de las configuraciones en modo común y diferencial

La simetría del amplificador diferencial permite simplificar su análisis convirtiendo las tensiones de entrada en tensiones de entrada de modo común y modo diferencial. Además, estos conceptos están en consonancia con las aplicaciones típicas del amplificador operacional que se suele utilizar para amplificar la diferencia entre las dos señales de entrada. La tensión de entrada en modo diferencial (v_{id}) y modo común (v_{ic}) se definen como

$$\begin{cases} v_{id} = v_{i1} - v_{i2} \\ v_{ic} = \frac{v_{i1} + v_{i2}}{2} \end{cases} \quad \text{o} \quad \begin{cases} v_{i1} = v_{id}/2 + v_{ic} \\ v_{i2} = \pm v_{id}/2 + v_{ic} \end{cases} \tag{6.4}$$

A su vez, estas tensiones v_{id} y v_{ic} dan lugar a dos tensiones de salida, en modo diferencial (v_{od}) y modo común (v_{oc}), definidas de una manera similar como

$$\begin{cases} v_{od} = v_{o1} - v_{o2} \\ v_{oc} = \frac{v_{o1} + v_{o2}}{2} \end{cases} \quad \text{o} \quad \begin{cases} v_{o1} = v_{od}/2 + v_{oc} \\ v_{o2} = \pm v_{od}/2 + v_{oc} \end{cases} \tag{6.5}$$

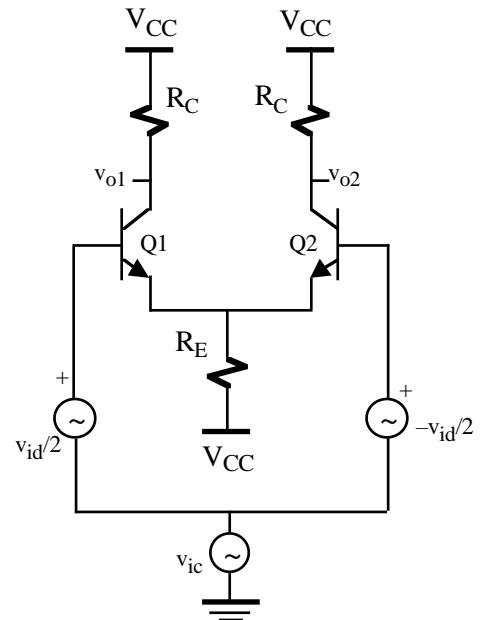


Figura 6.2. Amplificador diferencial con tensiones en modo diferencial y modo común.

Con la definición de las tensiones en modo diferencial y modo común, el amplificador diferencial tiene dos ganancias, una en modo diferencial (A_d) y otra en modo común (A_c) definidas como

$$A_d = \frac{v_{oa}}{v_{id}} \quad \text{y} \quad A_c = \frac{v_{oc}}{v_{ic}} \tag{6.6}$$

La aplicación de los estos conceptos permite transformar el circuito de la figura 6.1.a en el de la figura 6.2. Este nuevo circuito presenta unas propiedades de simetría que facilita su análisis mediante la aplicación del principio de superposición a las entradas en modo diferencial y común independientemente.

• **Ganancia en modo diferencial**

En la figura 6.3 se muestra el circuito equivalente simplificado del amplificador diferencial cuando únicamente se considera modo diferencial a la entrada. El análisis del circuito establece las siguientes ecuaciones

$$\begin{cases} v_{id}/2 = i_{b1}h_{ie} & i_{b2}h_{ie} & v_{id}/2 \quad \text{y} \quad v_{id} = (i_{b1} + i_{b2})h_{ie} \\ v_e = (i_{b1} + i_{b2})(1 + h_{fe})R_E \\ v_{id}/2 = i_{b1}h_{ie} + v_e \end{cases} \tag{6.7}$$

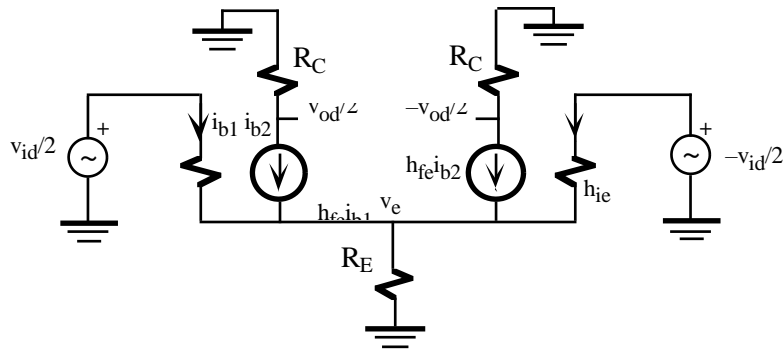


Figura 6.3. Circuito de pequeña señal simplificado del amplificador diferencial en modo diferencial ($h_{oe}=h_{re}=0$).

Resolviendo las ecuaciones de 6.7 se llega fácilmente a la siguiente relación

$$(i_{b1} + i_{b2})h_{ie}/2 + (1 + h_{fe})R_E = 0 \tag{6.8}$$

siendo la única solución posible

$$i_{b1} = -i_{b2} \tag{6.9}$$

resultando que

$$v_e = 0 \tag{6.10}$$

La ecuación (6.10) indica que la tensión de pequeña señal en el emisor de los transistores es nula, es decir, que ese nudo se comporta como un nudo de masa virtual; no hay que confundirla con la masa real del circuito. Por consiguiente, analizar el circuito de la figura 6.3 es equivalente a analizar los circuitos equivalentes del amplificador diferencial en modo diferencial mostrados en las figuras 6.4.a y 6.4.b. La ganancia en tensión en modo diferencial de este amplificador es

$$A_d = \frac{v_{od}/2}{v_{id}/2} = \frac{h_{re}R_C}{h_{ie}} \tag{6.11}$$

La impedancia de entrada del circuito de la figura 6.4 es $Z_i=h_{ie}$. Por consiguiente, la impedancia de entrada vista a través de los dos terminales de entrada diferencial es

$$\boxed{Z_{id} = 2h_{ie}} \quad (6.12)$$

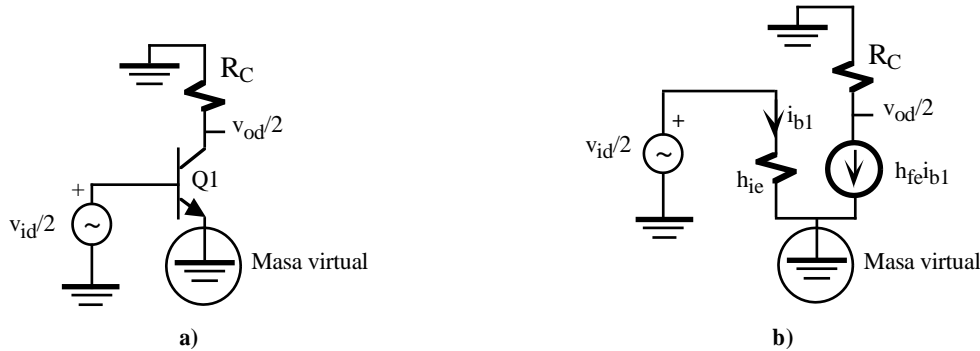


Figura 6.4. Circuitos equivalente del amplificador diferencial en modo diferencial a) en alterna, b) en pequeña señal ($h_{oe}=h_{re}=0$).

• **Ganancia en modo común**

En la figura 6.5 aparece el circuito equivalente del amplificador diferencial cuando únicamente se considera modo común a la entrada. Para obtener un circuito más simplificado se va a determinar en primer lugar las impedancias equivalentes Z_{e1} y Z_{e2} vista a través de los emisores de los transistores Q1 y Q2. Estas impedancias se definen como

$$Z_{e1} = \frac{v_e}{i_{e1}} = \frac{v_e}{i_{b1} + h_{fe} i_{b1}} \quad , \quad Z_{e2} = \frac{v_e}{i_{e2}} = \frac{v_e}{i_{b2} + h_{fe} i_{b2}} \quad (6.13)$$

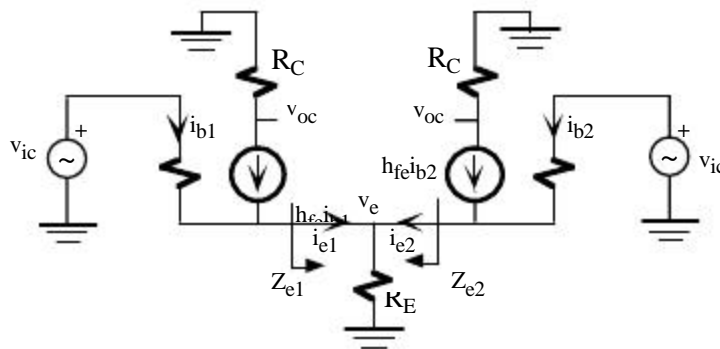


Figura 6.5. Amplificador diferencial en modo común. ($h_{oe}=h_{re}=0$).

Analizando el circuito de la figura 6.5 se obtiene la siguiente ecuación

$$v_{ic} = i_{b1}h_{ie} + i_{b2}h_{ie} + v_{ic} \quad (6.14)$$

que permite demostrar que

$$\boxed{i_{b1} = i_{b2}} \quad (6.15)$$

Por otra parte, la tensión v_e se puede expresar como

$$v_e = (i_{b1} + h_{fe}i_{b1} + i_{b2} + h_{fe}i_{b2})R_E \tag{6.16}$$

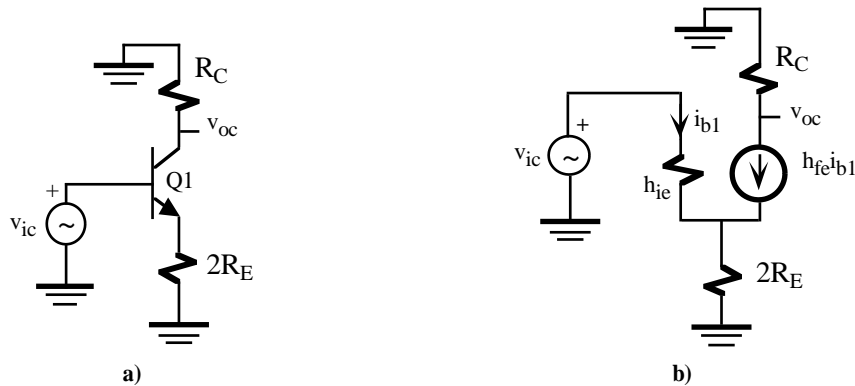


Figura 6.6. Circuitos equivalente del amplificador diferencial en modo común a) en alterna, b) en pequeña señal ($h_{oe}=h_{re}=0$).

y utilizando las ecuaciones 6.13, 6.14 y 6.15 fácilmente se demuestra que

$$Z_{e1} = Z_{e2} = 2R_E \tag{6.17}$$

Luego, los emisores de Q1 y Q2 “ven” una resistencia equivalente expresada en 6.17 de forma que el circuito de la figura 6.5 se transforma en los circuitos equivalentes más sencillos mostrados en la figuras 6.6.a y 6.6.b. Fácilmente se demuestra que la ganancia en modo común es

$$A_c = \frac{v_{o1}}{v_{ic}} = \frac{v_{oc}}{v_{ic}} = \frac{h_{fe}R_C}{h_{ie} + 2R_E(1 + h_{fe})} \tag{6.18}$$

• **Relación de rechazo en modo común**

Un amplificador diferencial ideal tiene una tensión de salida proporcional a v_{id} y no depende de la componente en modo común ($A_c=0$). En la práctica no sucede así y para medir esa desviación se introduce el concepto de relación de rechazo en modo común RRMC; en inglés *common-mode rejection ratio* o CMRR. Se define la RRMC como la relación entre la ganancia en modo diferencial y modo común

$$RRMC = \frac{A_d}{A_c} \tag{6.19}$$

que a veces se expresa en decibelios como

$$RRMC(dB) = 20 \log_{10} \left\{ \frac{A_d}{A_c} \right\} \tag{6.20}$$

6.3.- Amplificador diferencial bipolar con fuente de corriente

En la etapa diferencial anterior una RRMC muy elevada exige una R_E grande; en el caso ideal $RRMC \square$ si

R_E . Sin embargo, la polarización del transistor es fuertemente dependiente del valor de esta resistencia. Una alternativa que se utiliza en la práctica consiste en sustituir la resistencia R_E por una fuente de corriente. De esta manera, la polarización del circuito puede realizarse con facilidad y la RRMC es muy elevada ya que una fuente de corriente presenta una impedancia interna muy alta.

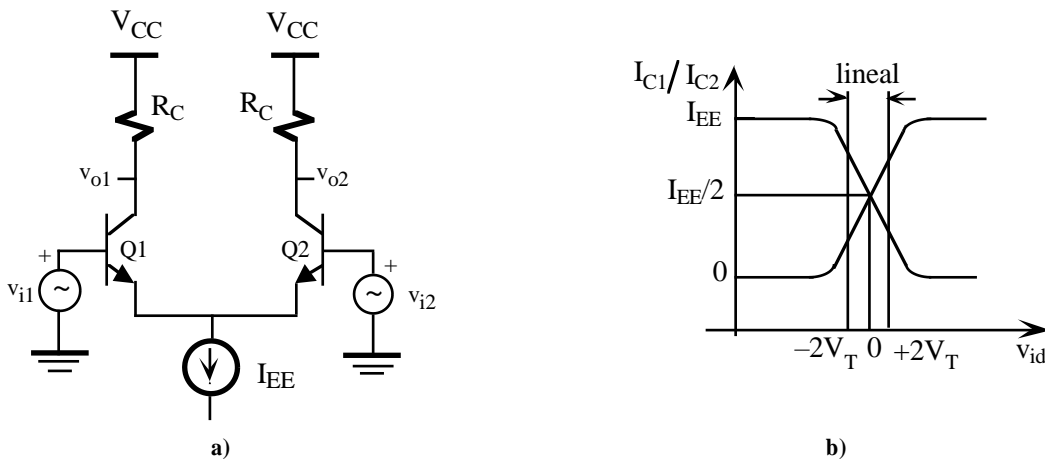


Figura 6.7. a) Amplificador diferencial polarizado con fuente de corriente. b) Característica de transferencia del circuito.

En la figura 6.7.a se muestra un amplificador diferencial polarizado con una fuente de corriente de valor I_{EE} . Esta corriente se reparte simétricamente en ambos transistores resultando que en continua

$$I_{C1} = I_{C2} = \frac{I_{EE}}{2} \tag{6.21}$$

Cuando se aplica una tensión de entrada diferencial, la suma de corriente en ambos transistores se mantiene constante a I_{EE} , es decir,

$$I_{C1} + I_{C2} = I_{EE} \tag{6.22}$$

Esto significa que un incremento de corriente en un transistor origina una disminución de corriente en la misma proporción en el otro transistor. La gráfica de la figura 6.7.b presenta la característica de transferencia del amplificador cuando se aplica una tensión en modo diferencial. Este circuito opera con tensiones máximas de entrada en modo diferencial bajas; del orden de $100\text{mV} \sim 4V_T$. Superado este valor uno de los transistores se corta y por el otro circula toda la corriente I_{EE} . Las características de transferencia son lineales en una pequeña región de operación ($\pm 2V_T$). Una modificación de este amplificador para que trabaje con tensiones en modo diferencial mayores consiste en añadir una resistencia de emisor tal como se describe en la figura 6.8.a. Este circuito mantiene la simetría de un amplificador diferencial aumentando el rango de tensiones de entrada. Este efecto se puede observar claramente en la figura 6.8.b en donde la característica de transferencia tiene un rango de entrada lineal mayor según aumenta R_E . El inconveniente es que la ganancia en modo diferencial disminuye. Para este circuito, se puede demostrar que si $h_{re} = h_{oe} = 0$, la ganancia en modo diferencial vale

$$A_d = \pm \frac{h_{fe} R_C}{h_{ie} + (1 + h_{fe}) R_E} \tag{6.23}$$

Valores razonables de R_E deben estar comprendidos entre 50 a 100Ω ya que con valores grandes la A_d se reduce excesivamente.

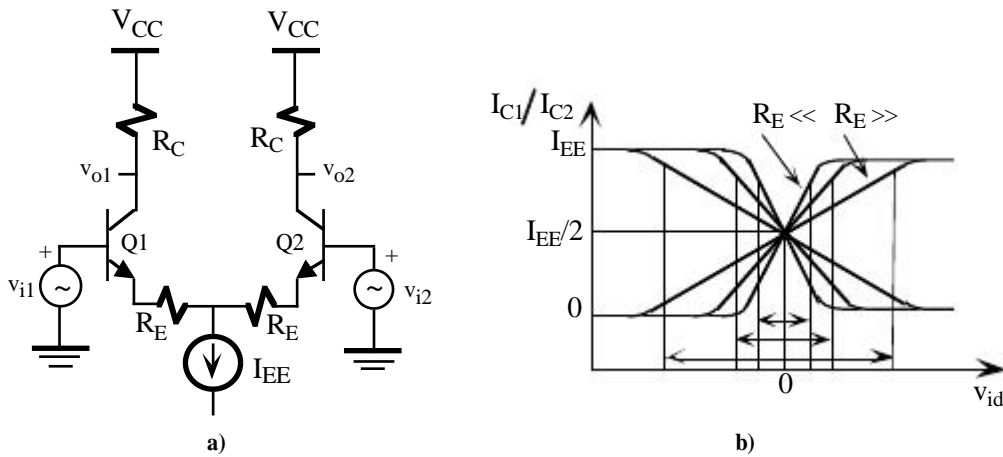


Figura 6.8. a) Amplificador diferencial con resistencia de emisor. b) Característica de transferencia del circuito para diferentes valores de resistencia de emisor.

6.3.1.- Amplificador diferencial con carga activa

Las fuentes de corriente pueden ser utilizadas como carga activa en un amplificador diferencial. El espejo de corriente es el circuito que mejor se adapta al tener una resistencia interna no demasiado elevada la cual elimina problemas de polarización y mantiene una ganancia muy alta. La figura 6.9.a muestra la estructura de un amplificador diferencial que tiene una carga activa constituida por el espejo de corriente formado por los transistores PNP Q3, Q4 y Q5. Por necesidades de polarización la intensidad de referencia de este espejo tiene que ser la mitad de I_{EE} ya que las intensidades de colector de Q1 y Q4, y Q2 y Q3 deben ser idénticas. Fácilmente se puede comprobar aplicando las propiedades de simetría del amplificador diferencial que la ganancia en modo diferencial es

$$A_d = h_{fe} \frac{h_{oep} \parallel h_{oen}}{h_{ie}} \tag{6.24}$$

donde h_{oep} y h_{oen} es la resistencia de salida de un transistor PNP y NPN respectivamente.

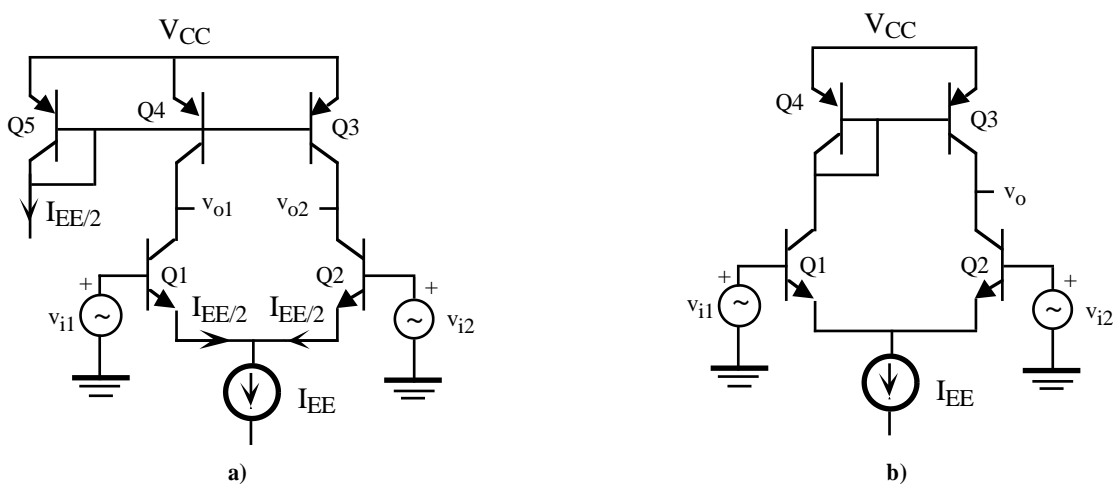


Figura 6.9. Amplificador diferencial con a) carga activa y b) carga activa modificada.

En la figura 6.9.b se presenta un amplificador diferencial con una carga activa constituida por un espejo de corriente (Q3,Q4) que necesita menos dispositivos que el caso anterior. Tiene una única salida que proporciona

una conversión de entrada diferencial-salida simple (*differential to single-ended conversion*) y, aunque en principio se rompe la simetría del amplificador diferencial, este circuito tiene una ganancia en modo diferencial que se aproxima al valor expresado en la ecuación 6.24.

6.3.2.- Ejemplo de un amplificador diferencial bipolar complejo

En este apartado se va a realizar una análisis simplificado un amplificador diferencial completo de la figura 6.10 constituido por varias etapas amplificadoras conectadas en cascada. Básicamente, es un amplificador operacional formado por una etapa diferencial de entrada (Q1,Q2), otra etapa diferencial intermedia (Q7,Q8) y la etapa de salida en configuración de seguidor de emisor (Q9).

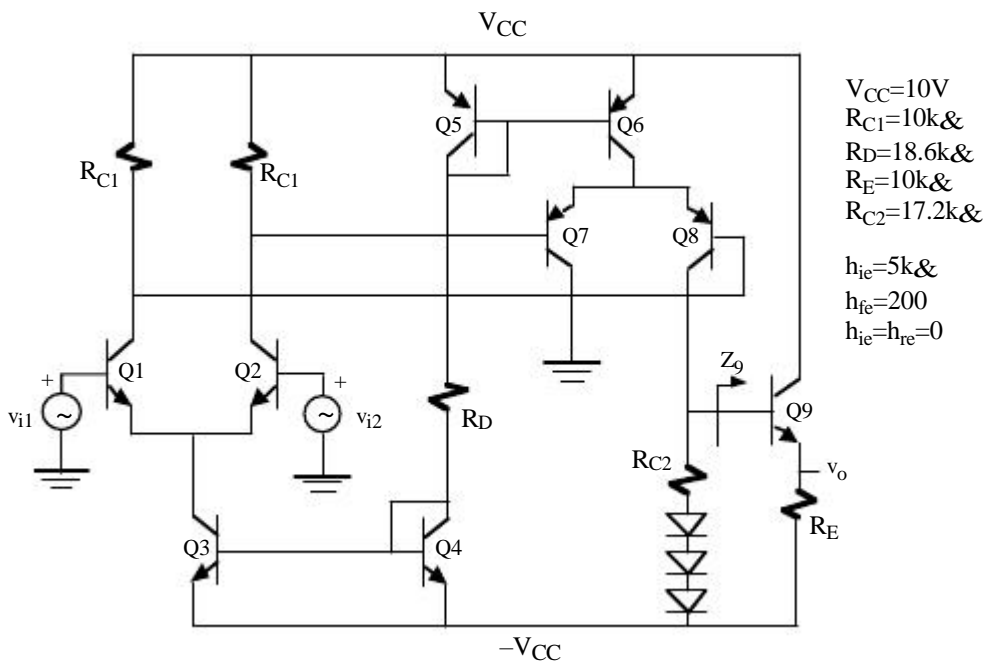


Figura 6.10. Amplificador diferencial completo.

• **Análisis DC.** El análisis en continua de este amplificador se realiza suponiendo nulas las entradas v_{i1} y v_{i2} y despreciando las corrientes de base.. En la polarización de las etapas diferenciales se utiliza dos espejos de corriente, uno basado en transistores NPN (Q3,Q4) y otro en PNP (Q5,Q6), cuya corriente de referencia se fija a través de R_D . Si se desprecia las corrientes de base de los transistores se verifica que

$$\frac{2V_{CC} - V_{BE}}{R_D} = 1mA \tag{6.25}$$

Por consiguiente, aplicando el principio de simetría a ambos amplificadores diferenciales

$$I_{C1} = I_{C2} = I_{C7} = I_{C8} = \frac{I_{EE}}{2} = 0.5mA \tag{6.26}$$

Luego, la tensión de salida

$$v_o = I_{C8}R_{C2} + 3V_D - V_{BE9} - V_{CC} = 0V \tag{6.27}$$

es nula en ausencia de señal.

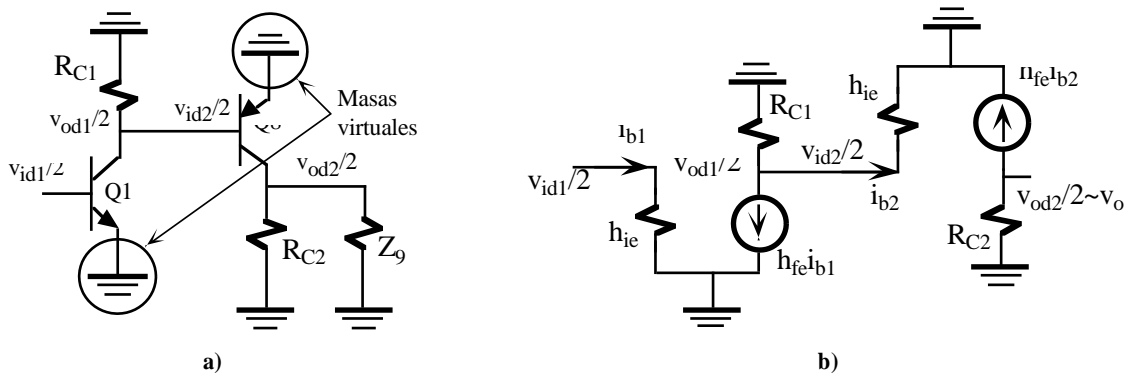


Figura 6.11. a) Aplicación del principio de simetría al circuito de la figura 6.10; b) Modelo equivalente de pequeña señal.

• **Análisis de pequeña señal.** Al despreciar el parámetro h_{oe} los espejos de corriente son ideales resultando que la ganancia en modo común es nula. Ello permite aplicar los principios de simetría del amplificador diferencial en modo diferencial, reduciendo el análisis de este amplificador al circuito mostrado en la figura 6.11.a. La tensión de salida v_o es prácticamente la tensión del colector de Q8 al ser la ganancia en tensión de la etapa de salida prácticamente 1 (se trata de una seguidor de emisor). Además, Q8 tiene como carga la resistencia R_{C2} y la impedancia de entrada de Q9 que en la figura 6.11.a. se representa por Z_9 . El valor de Z_9 es

$$Z_9 = h_{ie} + (1 + h_{fe}R_E) \quad (6.28)$$

Por consiguiente, se puede hacer la siguiente aproximación $R_{C2} \parallel Z_9 \approx R_{C2}$. La ganancia del amplificador de la figura 6.11.a se puede obtener resolviendo el circuito equivalente de la figura 6.11.b. De esta forma,

$$A_d = \frac{v_o}{v_{id1}/2} = \frac{v_{od2}/2}{v_{id1}/2} = \frac{v_{od1}/2}{v_{id1}/2} \frac{v_{od2}/2}{v_{od1}/2} = A_{d1}A_{d2} = \left[\frac{h_{fe}(R_{C1} \parallel h_{ie})}{h_{ie}} \right] \left[\frac{h_{fe}R_{C2}}{h_{ie}} \right] \approx 92 \cdot 10^3 \quad (6.29)$$

Luego, la ganancia del amplificador completo

$$A_{OL} = \frac{v_o}{v_{id}} = \frac{v_{od1}/2}{v_{id}/2} = \frac{v_o}{v_{id}} \approx 46 \cdot 10^3 \quad (6.30)$$

La impedancia de entrada en modo diferencial es $Z_{id} = 2h_{ie} = 10k\Omega$, y la impedancia de salida vale

$$Z_o = R_E \parallel \frac{R_{C2} + h_{ie}}{1 + h_{fe}} \approx 110\Omega \quad (6.31)$$

En la figura 6.12 se muestra el modelo equivalente del amplificador completo.

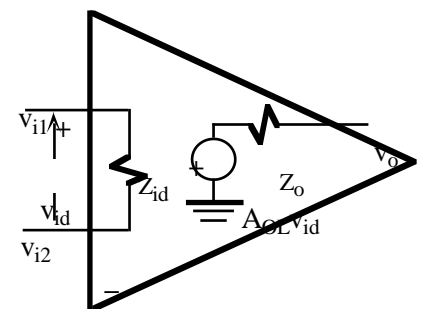


Figura 6.12. Modelo equivalente simplificado del amplificador de la figura 6.10.

6.4.- Amplificadores diferenciales FET

La impedancia de entrada de un amplificador diferencial puede ser muy alta si se utiliza transistores FET. La

figura 6.13.a presenta un amplificador diferencial básico basado en los transistores NMOS, M1 y M2, cuya polarización se realiza a través de una fuente de corriente de valor I_{SS} con una resistencia interna R_{SS} y la figura 6.13.b muestra el circuito equivalente de pequeña señal. Al presentar este amplificador las mismas características de simetría descritas en el amplificador diferencial bipolar se puede utilizar la conversión a señal modo diferencial y modo común. Por similitud, en modo diferencial el terminal fuente de estos transistores se comporta como un nudo de masa virtual y en modo común la resistencia R_{SS} se descompone en dos en paralelo. Aplicando estos principios de simetría es sencillo comprobar que la ganancia en modo diferencial y común vale

$$A_d = \frac{g_m(R_D \parallel r_d)}{2R_{SS}(1 + \frac{r_d}{R_D})} \tag{6.32}$$

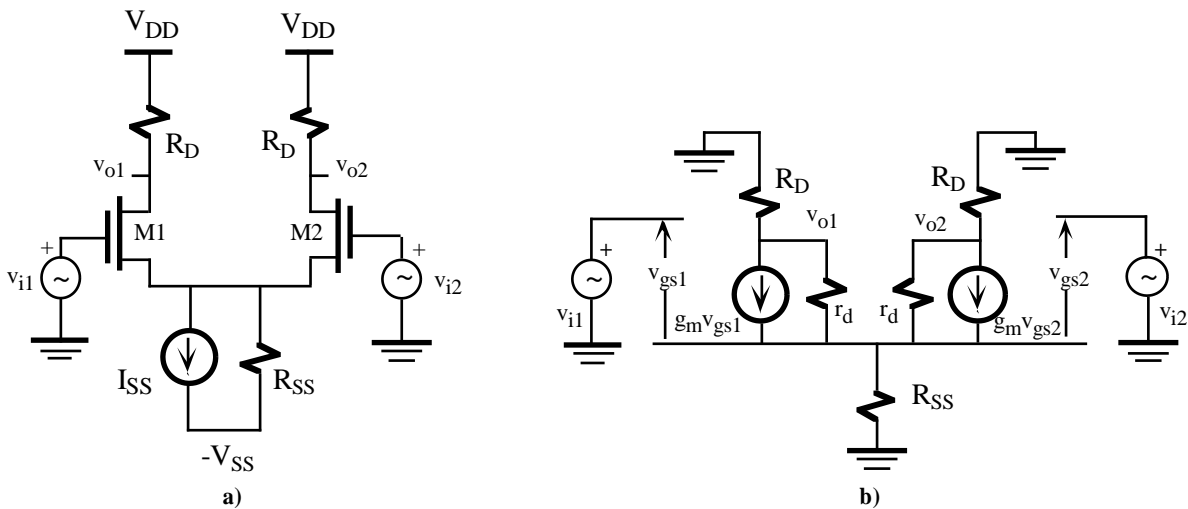


Figura 6.13.a) Amplificador diferencial simple de transistores NMOS. b) Circuito equivalente de pequeña señal.

La ganancia de este amplificador puede mejorarse utilizando cargas activas. En las figura 6.14 aparece un amplificador diferencial NMOS con carga activa formado por los transistores M3 y M4. M3 y M4 tienen la puerta y el drenador cortocircuitado de forma que en pequeña señal pueden ser sustituidos por un elemento resistivo de valor $r_{dl} \parallel 1/g_{m1}$ (subíndice l de load). Las expresiones de la A_d y A_c son similares a las descritas en la ecuación 6.32 sustituyendo la R_D por la carga equivalente $r_{dl} \parallel 1/g_{m1}$.

La tecnología CMOS permite realizar también amplificadores diferenciales con carga activa. El amplificador de la figura 6.15.a utiliza un espejo de corriente de transistores PMOS como carga activa y el de la figura 6.15.b otro espejo de corriente autopolarizado con salida simple que realiza una conversión salida simple-entrada diferencial. En ambos casos se puede demostrar que, en primera aproximación, las ganancias en modo diferencial y común valen

$$A_d = \pm g_{mi}(r_{dl} \parallel r_{di}) \quad \text{y} \quad A_c = \frac{1}{2g_{mi}R_{SS} \left(1 + \frac{r_{di}}{R_D} \right)} \tag{6.33}$$

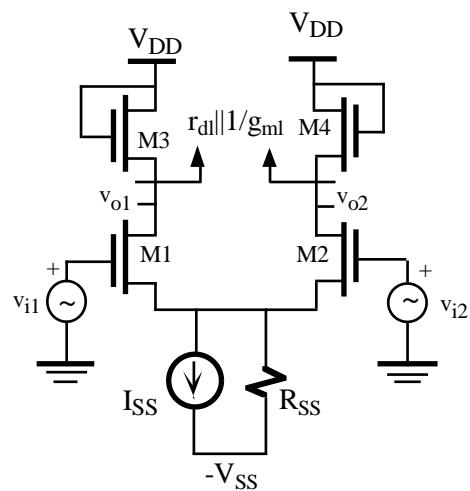


Figura 6.14. Amplificador diferencial NMOS con carga activa.

siendo el subíndice l relacionado con M3 y M4 y el subíndice i con M1 y M2.

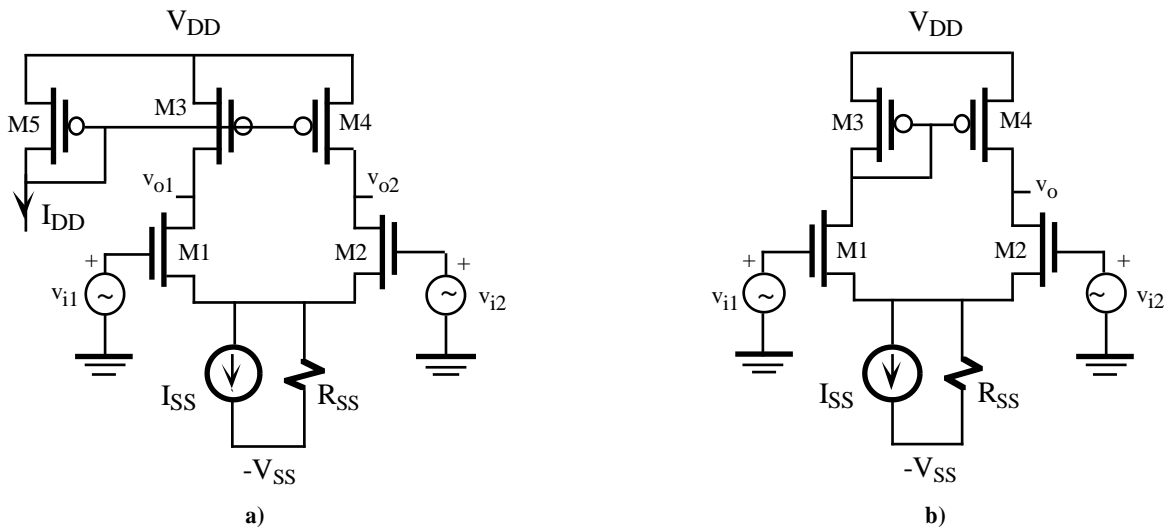


Figura 6.15. Amplificador diferencial CMOS con a) espejo de corriente y b) autopolarizado.

Los transistores JFET al tener una tecnología compatible con los BJT pueden ser fabricados simultáneamente en un circuito integrado. Con ello, se combina las características de ambos dispositivos como son su alta impedancia de entrada (JFET) y linealidad y altas prestaciones (BJT). En la figura 6.16 se muestra un ejemplo práctico correspondiente a la etapa de entrada del amplificador operacional TL080 de Texas Instruments que utiliza PJFET como transistores de entrada de la etapa diferencial y transistores bipolares para polarización y amplificación. La etapa de entrada diferencial está constituida por Q6 y Q7 cuya carga activa lo forma la fuente de corriente Q1 y Q2; las corrientes de entrada son del orden de pA. Q4 actúa como amplificador en configuración seguidor de emisor con objeto de introducir una carga de muy alto valor a Q7 y servir de etapa de interfase con la siguiente etapa amplificadora basada en Q5. Q3 introduce una carga similar a Q4 para mantener la simetría de la etapa diferencial. Q8, Q9 y Q10 son fuentes de corriente (Widlar y espejo de corriente respectivamente) para polarización del circuito. Como es frecuente en los amplificadores operacionales, factores de disimetría en la etapa diferencial hace que en ausencia de señal de entrada la salida no sea nula, en contra de lo que debe suceder en teoría (*offset null*). Para corregir este efecto, algunos amplificadores tienen salidas al exterior que mediante un potenciómetro variable se corrige el desequilibrio de la etapa diferencial y se anula este efecto. En la figura se indica la situación y valor típico del potenciómetro.

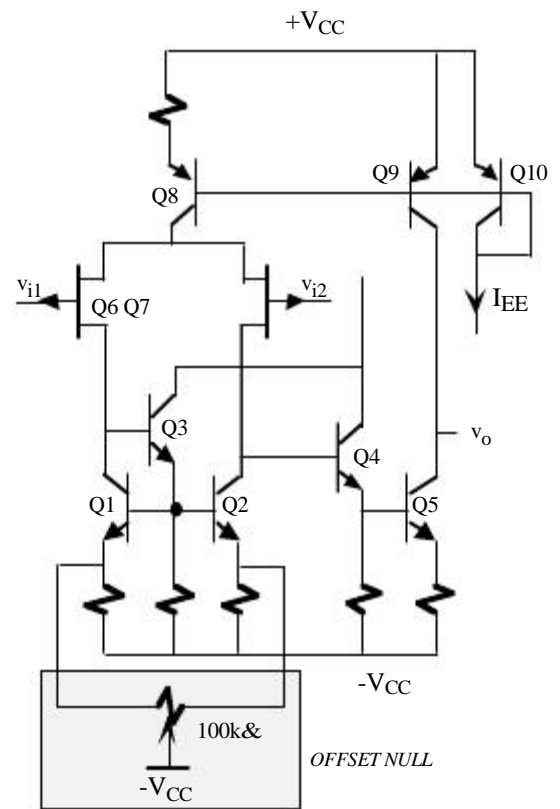


Figura 6.16. Etapa de entrada del TL080 basada en JFET con corrección de *offset*.

Problemas

P6.1 Para el amplificador diferencial de la figura P6.1, se pide:

- a) La tensión v_{o1} y v_{o2} en DC.
- b) Ganancia en modo diferencial y común.
- c) Si $v_{i1}=1.02V \text{ senwt}$ y $v_{i2}=1.025V \text{ senwt}$, determinar la v_{od}, v_{oc}, v_{o1} y v_{o2} .

Datos: $h_{FE}=100$, $h_{fe}=100$, $h_{ie}=3333\Omega$, $h_{re}=h_{oe}=0$.

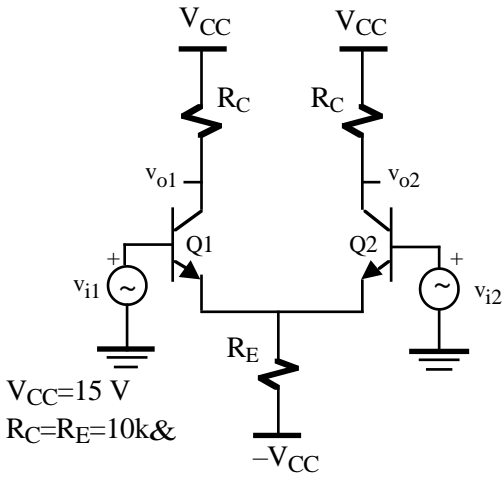


Figura P6.1

P6.2 Repetir el problema P6.1 con el circuito de la figura P6.2.

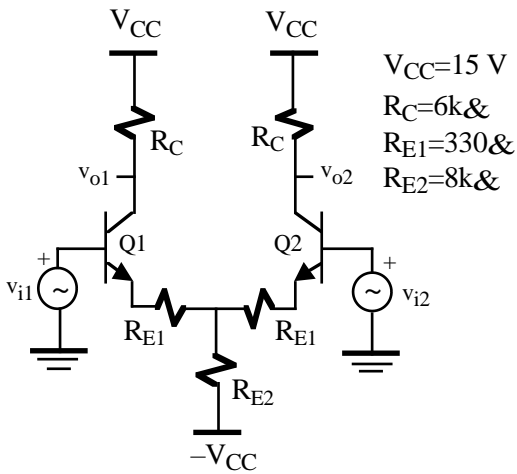


Figura P6.2

P6.3 En la figura P6.3 se muestra un amplificador diferencial con carga activa (transistores Q6 y Q7). ¿Qué ventajas e inconvenientes presenta una carga activa frente a una carga resistiva?. Para este circuito, se pide:

- a) el valor adecuado de R_2 para que el circuito se encuentre polarizado correctamente. Despreciar las corrientes de base.
- b) A_d y A_c .

Datos: NPN: $h_{ie}=5k\Omega$, $h_{fe}=100$, $h_{oe}=1/50k\Omega$, $h_{re}\sim 0$. PNP: $h_{ie}=6k\Omega$, $h_{fe}=60$, $h_{oe}=1/50k\Omega$, $h_{re}\sim 0$.

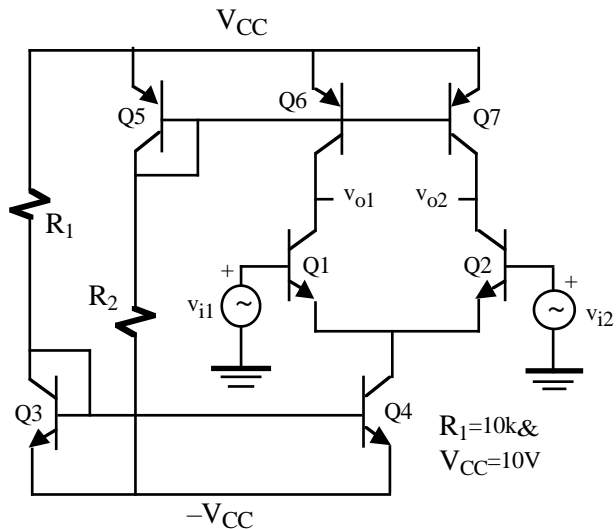


Figura P6.3

P6.4 Calcular la tensión v_{o1} y v_{o2} en continua y la A_d del amplificador diferencial basado en un par Darlington de la figura P6.4. Datos: $h_{FE}=90$, $h_{ie}=5k\Omega$, $h_{fe}=100$, $h_{re}=h_{oe}=0$.

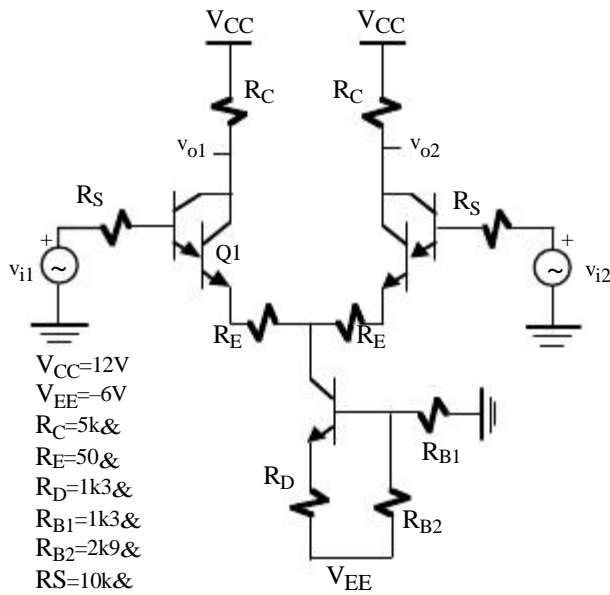


Figura P6.4

P6.5 Comprobar que aplicando el principio de simetría el amplificador diferencial de la figura P6.5 verifica las siguientes expresiones. Nota: $h_{re}=h_{oe}=0$.

$$A_d = \frac{R_C \parallel \frac{R_L}{2}}{h_{ie}} \quad \text{y} \quad A_c = \frac{h_{fe} R_C}{h_{ie} + (1 + h_{fe}) 2R_E}$$

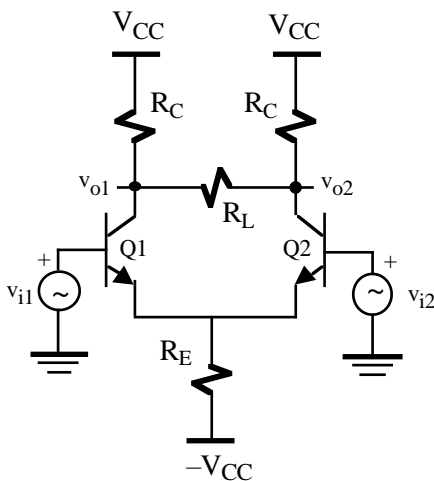


Figura P6.5

P6.6 Calcular la I_D de los transistores NMOS del amplificador diferencial de la figura P6.6. Determinar la A_d y la tensión de salida v_{o1} cuando $v_{i1}=2V+0.1V \text{ senwt}$ y $v_{i2}=2V$.
 Datos: $k=33\mu A/V^2, V_T=1V, W_1=W_2=10\mu m, W_3=20\mu m, L_1=L_2=L_3=4\mu m$.

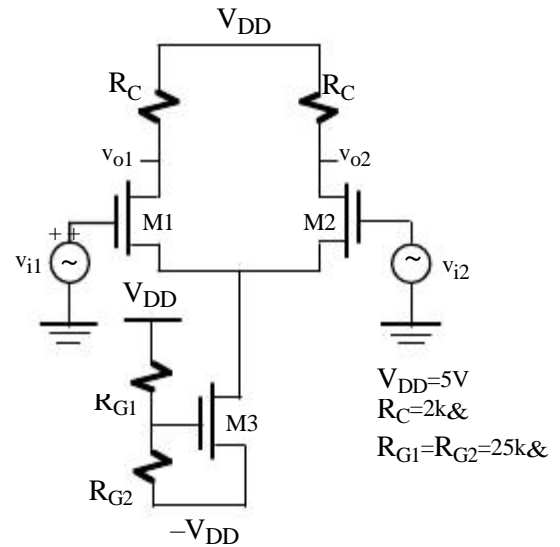


Figura P6.6

P6.7 Determinar el valor de la resistencia R para que que el circuito de la figura P6.7 esté polarizado correctamente. Calcular el valor de la A_d .
 Datos: $W_1=W_2=15\mu m, W_3=W_4=W_5=30\mu m, L_1=L_2=L_3=L_4=L_5=4\mu m$
 NMOS: $k=66\mu A/V^2, V_T=1V, g_{m1}=g_{m2}=1mS^{-1}, r_{d1}=r_{d2}=100k\Omega$;
 PMOS: $k=33\mu A/V^2, V_T=-1V, g_{m3}=g_{m4}=g_{m5}=0.5mS^{-1}, r_{d3}=r_{d4}=r_{d5}=150k\Omega$.

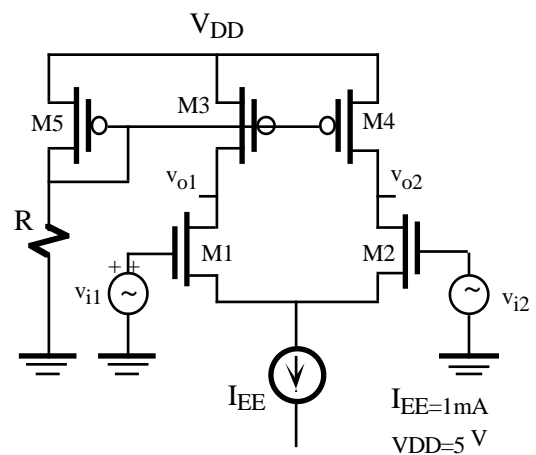


Figura P6.7

P6.8 Calcular la tensión v_{o1} y v_{o2} en continua y la relación $A_1=v_{o1}/i_1$ y $A_2=v_{o2}/i_1$ del amplificador de la figura P6.8. Datos: $h_{fe}=100, h_{ie}=2k\Omega$. Nota: Despreciar las intensidades de base frente al resto de las

intensidades del circuito.

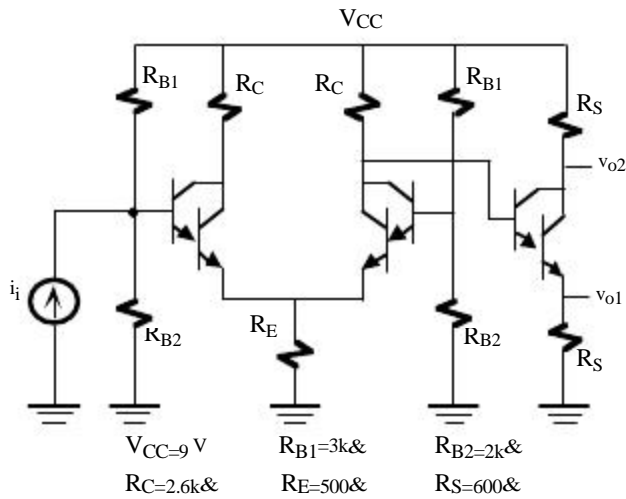


Figura P6.8

P6.9 El circuito de la figura P6.9 es un amplificador diferencial típico de un amplificador operacional. Para este circuito se pide:

- Calcular las intensidades I_1, I_2, I_3, I_4, I_5 e I_6 y el valor de v_o en continua. Utilizar los principios de simetría de los amplificadores diferenciales. Despreciar la I_B frente a I_C ($I_B \ll I_C$).
- Calcular la ganancia en modo diferencial.
- Si $v_{i1}=10\text{mV}$ senwt y $v_{i2}=0\text{ V}$, calcular

la v_o .

Datos: NPN: $h_{fe}=200, h_{ie}=5\text{k}\Omega, h_{oe}^{-1}=50\text{k}\Omega, h_{re}=0$; PNP: $h_{fe}=150, h_{ie}=3\text{k}\Omega, h_{oe}^{-1}=50\text{k}\Omega, h_{re}=0$

Nota: Considerar únicamente el parámetro h_{oe} en los transistores Q2, Q3, Q10 y Q11. En el resto se tomará como nulo.

P6.10 Comprobar el valor de las tensiones indicadas en el esquema del amplificador operacional MC1530 de la figura P6.10.

Nota: Despreciar las intensidades de base.

P6.11 La figura P6.11 muestra el esquema de un amplificador operacional sencillo. Se pide:

- Calcular las intensidades que circula por cada uno de los transistores y el valor de v_o en continua. Utilizar los principios de simetría de los amplificadores diferenciales. Despreciar la I_B frente a I_C ($I_B \ll I_C$).
- Determinar la potencia de disipación de este circuito.
- Si los transistores Q1 y Q2 tienen una $h_{FE}=100$, calcular las corrientes de entrada.

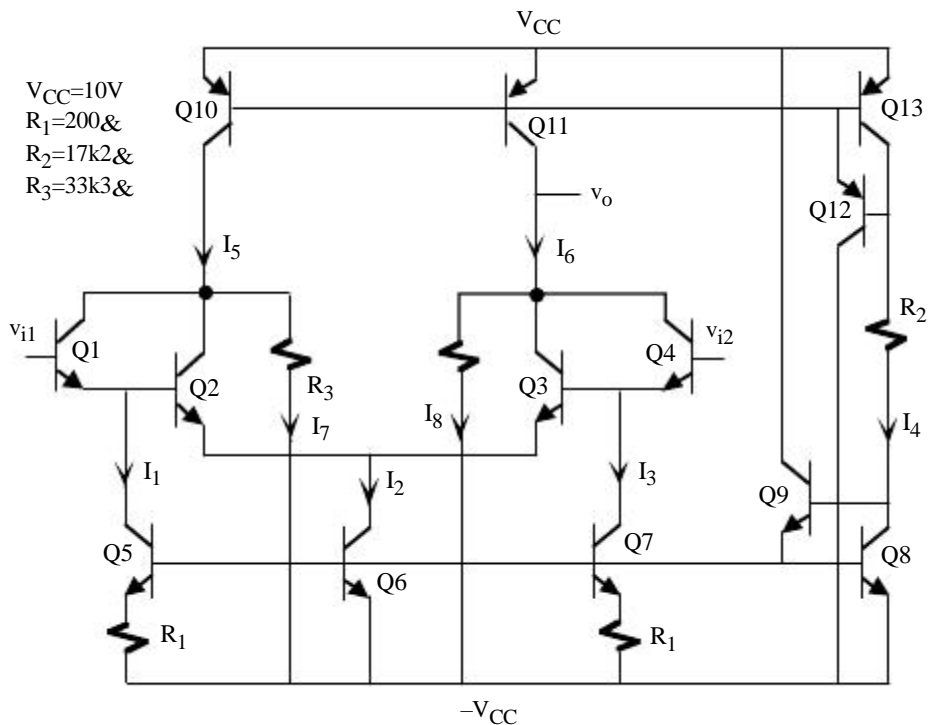


Figura P6.9

d) Obtener el modelo equivalente en tensión del amplificador utilizando las aproximaciones que se consideren

oportunas.

Datos: NPN: $h_{fe}=150$, $h_{ie}=5k\Omega$, $h_{oe}=h_{re}=0$;
 PNP: $h_{fe}=120$, $h_{ie}=4k\Omega$, $h_{oe}=h_{re}=0$.

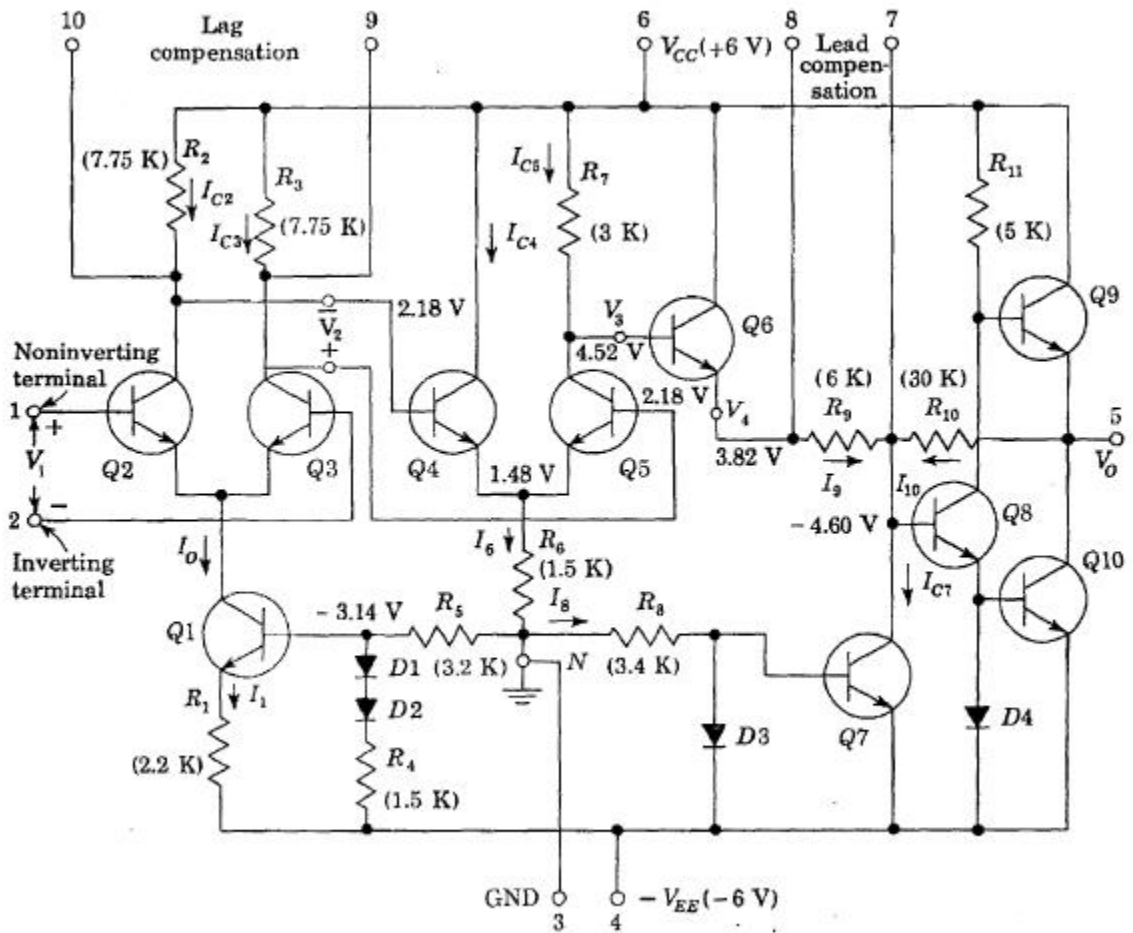


Figura P6.10

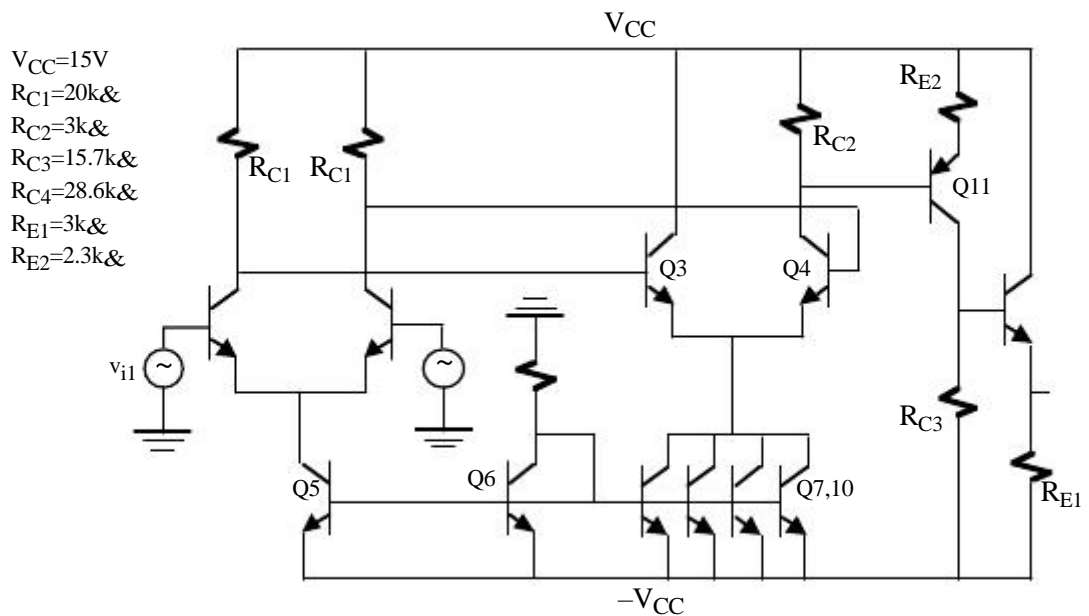


Figura P6.11

TEMA 7

Etapas de salida

7.1.- Introducción

Las etapas de salida, también denominadas etapas de potencia, son configuraciones especiales localizadas a la salida de un amplificador utilizadas para proporcionar cierta cantidad de potencia a una carga con aceptables niveles de distorsión. Además, una etapa de salida debe ser independiente del propio valor de la carga, tener reducido consumo estático de potencia y no limitar la respuesta en frecuencia del amplificador completo.

Las etapas de salida son diseñadas para trabajar con niveles de tensión y corriente elevados. Las aproximaciones y modelos de pequeña señal no son aplicables o deben ser utilizados con mucho cuidado. Sin embargo, la linealidad de una etapa es una medida que proporciona la calidad del diseño, muchas veces caracterizada a través de la distorsión armónica total (*total harmonic distortion* o THD). Este parámetro es un valor eficaz o rms de las componentes armónicas de la señal de salida, sin incluir la fundamental de la entrada, expresada a través del porcentaje en términos de rms respecto a la fundamental. Los equipos de sonido de alta fidelidad tienen un THD inferior a 0.1%.

Otro parámetro importante de una etapa de potencia es su eficiencia, que indica el porcentaje de potencia entregada a la carga respecto de la potencia total disipada por la etapa. Un valor alto de eficiencia se traduce en una mayor duración del tiempo de vida de las baterías o en el uso de fuentes de alimentación de bajo coste, además de minimizar los problemas de disipación de potencia y coste del propio transistor de potencia. Es por ello, que las etapas de salida utilizan transistores de potencia ($> 1W$) y el uso de aletas refrigeradoras resulta en algunos casos imprescindible.

Las etapas de salida tradicionalmente son clasificadas de acuerdo a la forma de onda de la corriente de colector del transistor de salida en clase A, clase B, clase AB y clase C. La figura 7.1 ilustra esta clasificación. En la etapa clase A (figura 7.1.a), el transistor es polarizado con un corriente en continua de valor I_{CQ} mayor que la corriente de alterna de amplitud I_c de forma que el periodo de conducción es de 360° . En contraste, en la clase B (figura 7.1.b) la polarización DC es nula y sólo conduce en un semiperiodo de la señal de entrada (180°). Como se estudiará más tarde, existe otro transistor que estará activo en el siguiente semiperiodo alternando las fases. La etapa clase AB (figura 7.1.c), intermedio entre la A y la B, el transistor conduce un ángulo ligeramente superior a 180° y mucho menor que 360° . En la etapa clase C (figura 7.1.d) conduce ángulos inferiores a 180° y son empleadas usualmente en radiofrecuencia como por ejemplo teléfonos móviles y transmisores de radio y TV. Por sencillez, en este tema sólo se estudiarán las etapas de salida clase A, B y AB.

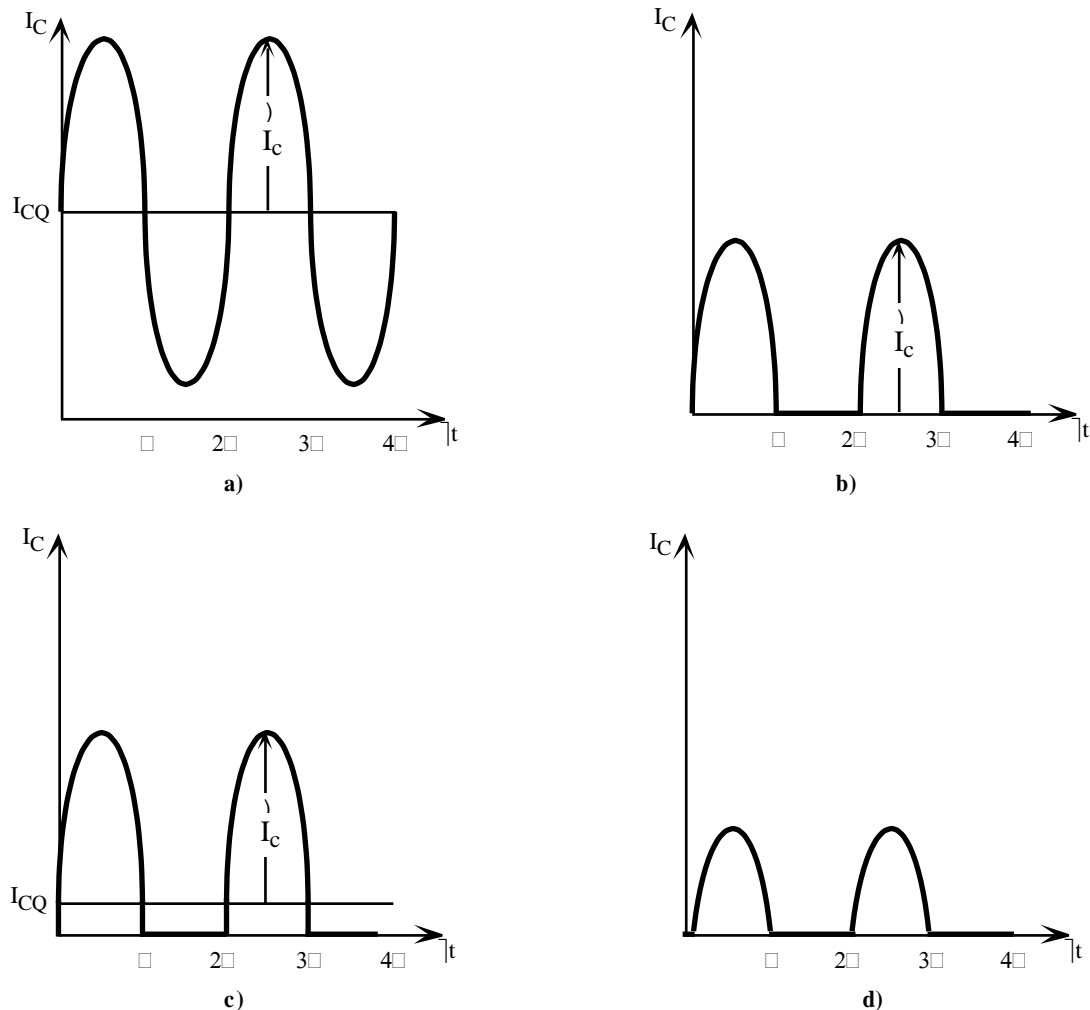


Figura 7.1. Clasificación de las etapas de salida: a) clase A, b) clase B, c) Clase AB y d) Clase C.

7.2.- Cálculos de potencia

En el análisis de etapas de salida es importante realizar cálculos de potencia. Los transistores tienen limitaciones sobre la cantidad de potencia que pueden suministrar o disipar, cuyo valor no debe superar un máximo establecido por el fabricante. A su vez, la etapa de salida debe proporcionar una determinada potencia a la carga.

• **Potencia promedio (average).** La potencia promedio suministrada o disipada por un circuito lineal o no lineal se define como

$$P = \frac{1}{T} \int_0^T V(t)I(t)dt \quad (7.1)$$

siendo $V(t)$ e $I(t)$ la tensión y corriente que circula por el circuito y T el periodo. En la práctica, un amplificador tiene dos componentes: DC y AC (que por sencillez se considera del tipo sinusoidal). De esta manera, las tensiones y corrientes se pueden expresar como

$$\begin{aligned} V(t) &= V_{DC} + v(t) \\ I(t) &= I_{DC} + i(t) \end{aligned} \quad (7.2)$$

Sustituyendo 7.2 en 7.1 resulta que la potencia promedio es

$$P = \frac{1}{T} \int_0^T (V_{DC} + v(t))(I_{DC} + i(t)) dt = V_{DC} I_{DC} + \frac{1}{T} \int_0^T v(t)i(t) dt \tag{7.3}$$

puesto que las componentes v(t) e i(t) son sinusoidales con un valor promedio nulo, es decir,

$$\frac{1}{T} \int_0^T v(t) dt = \frac{1}{T} \int_0^T i(t) dt = 0 \tag{7.4}$$

La ecuación 7.3 indica que la potencia promedio suministrada (o consumida) por un circuito tiene dos componentes, uno relativo a términos de corriente continua y otra a términos de corriente alterna, supuesto que las componentes de tensión e intensidad tienen valor promedio nulo.

La potencia promedio de una componente sinusoidal también puede expresarse en términos de valores eficaces como

$$P = I_{ef} V_{ef} = \sqrt{\frac{1}{T} \int_0^T I^2 dt} \sqrt{\frac{1}{T} \int_0^T V^2 dt} \tag{7.5}$$

En el caso de que v(t) e i(t) sean señales sinusoidales, resulta que $I_{ef} = I_o / \sqrt{2}$ e $V_{ef} = V_o / \sqrt{2}$, siendo V_o e I_o las amplitudes. Por ejemplo, la tensión de 220 V de la red eléctrica es un valor eficaz que corresponde a una tensión pico de $220 \sqrt{2} = 311$ V. Como resultado, la ecuación 7.5 se transforma en

$$P = I_{ef} V_{ef} = \frac{1}{2} \hat{I}_o \hat{V}_o \tag{7.6}$$

• **Potencia promedio entregada a una carga resistiva.** La potencia promedio entregada a una carga resistiva de valor R_L suponiendo solamente componentes sinusoidales, se obtiene aplicando la ecuación 7.1

$$P = \frac{1}{T} \int_0^T v(t)i(t) dt = \frac{1}{T} \int_0^T R_L i^2(t) dt = \frac{1}{T} \int_0^T v^2(t) dt \tag{7.7}$$

Si se considera que la intensidad es sinusoidal, $i(t) = \hat{I}_o \cos \omega t$, la ecuación 7.7 se transforma en

$$P = \frac{1}{T} \int_0^T R_L (\hat{I}_o \cos \omega t)^2 dt = \frac{R_L}{T} \int_0^T \frac{\hat{I}_o^2}{2} (1 + \cos 2\omega t) dt = \frac{R_L}{2} \frac{\hat{I}_o^2}{2} = \frac{1}{2} \hat{I}_o^2 R_L = \frac{1}{2} \hat{I}_o \hat{V}_o \tag{7.8}$$

• **Potencia promedio suministrada por una fuente de alimentación.** Una fuente de alimentación mantiene la tensión constante (V_{CC}) mientras la intensidad varía con el tiempo. Suponiendo corrientes sinusoidales, la potencia promedio suministrada por una fuente de alimentación viene dada por

$$P = \frac{1}{T} \int_0^T V_{CC} I(t) dt = V_{CC} \int_0^T (I_{DC} + i(t)) dt = V_{CC} I_{DC} \tag{7.9}$$

es decir, solamente depende de sus componentes DC y es independiente de las corrientes en alterna.

- **Rendimiento.** El rendimiento (η) se define como la relación entre la potencia promedio en alterna disipada por la resistencia de carga y la potencia suministrada por las fuentes de alimentación al circuito, y se expresa como

$$\eta = \frac{P_{L,ac}}{P_{cc}} \tag{7.10}$$

El rendimiento es un parámetro muy importante en las etapas de salida ya que proporcionan una medida del porcentaje de potencia suministrada por las fuentes de alimentación que es desviada a la carga. Su valor está comprendido $0 \leq \eta \leq 1$. Un rendimiento bajo $\eta < 0.25$ indica que la mayoría de la potencia es disipada por los dispositivos del circuito de forma que un porcentaje muy bajo se destina a la carga. Por el contrario, un valor alto ($\eta > 0.75$) indica que la carga es el elemento que recibe mayor aportación de potencia.

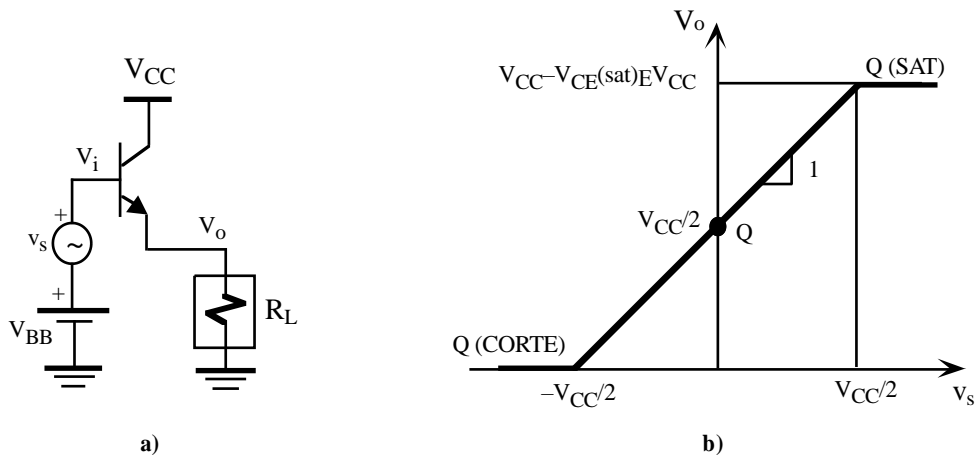


Figura 7.2. a) Etapa de salida clase A y b) curva de transferencia en tensión (VTC) referida a v_s .

7.3.- Etapa de salida clase A

La etapa de salida clase A más sencilla es el seguidor de emisor aunque su eficiencia es bastante baja (< 0.25). La figura 7.2.a muestra el esquema de este tipo de etapa polarizada con una fuente de tensión adicional (V_{BB}) para que en ausencia de señal ($v_s=0$) la V_o sea $V_{CC}/2$; en este caso $V_{BB}=V_{CC}/2+V_{BE}$. Es decir, la corriente de colector en continua de este transistor es

$$I_{CQ} = \frac{V_{CC}}{2R_L} \tag{7.11}$$

La figura 7.2.b presenta su curva de transferencia en tensión (VTC) respecto a la señal de entrada v_s . Al tratarse de un seguidor de emisor la ganancia es ~ 1 , luego la pendiente de la recta también es 1. Fácilmente se comprueba que la amplitud máxima de la tensión de salida es $V_{CC}/2$ limitada por la tensión de alimentación y siempre que Q esté centrada sobre la recta de carga estática. La potencia de disipación promedio en alterna disipada por R_L se obtiene a partir de la ecuación 7.8

$$P_L = \frac{\hat{V}_o^2}{2R_L} \tag{7.12}$$

y esa potencia es máxima cuando $V_o(\max) = V_{CC}/2$ de forma que

$$P_{L(\max)} = \frac{(V_{CC})^2}{8R_L} \tag{7.13}$$

La potencia suministrada por las fuentes de alimentación se obtienen a partir de la ecuación 7.9

$$P_{CC} = V_{BB}I_{BQ} + V_{CC}I_{CQ} \text{ E } V_{CC}I_{CQ} = \frac{(V_{CC})^2}{2R_L} \tag{7.14}$$

al ser $I_{BQ} \ll I_{CQ}$ y sustituyendo I_{CQ} por la ecuación 7.11. La máxima eficiencia se determina por las ecuaciones 7.13 y 7.14

$$\eta_{\max} = \frac{P_{L(\max)}}{P_{CC}} = \frac{1}{4} \tag{7.15}$$

7.4.- Etapa de salida clase B (Push-Pull)

La mayor desventaja de la anterior etapa de salida es el consumo estático de potencia incluso en ausencia de señal de entrada. En muchas aplicaciones prácticas existen largos tiempos muertos (*standby*) a la espera de señal de entrada o con señales intermitentes como es el caso de voz humana. Etapas de salida que desperdician potencia en períodos *standby* tiene efectos perniciosos importantes. En primer lugar, se reducen drásticamente el tiempo de duración de las baterías de los equipos electrónicos. En segundo lugar, ese consumo de potencia continuado provoca un incremento de temperatura en los dispositivos que limitan su tiempo medio de vida dando lugar a una mayor probabilidad de fallar con el tiempo el sistema electrónico.

La etapa de salida clase B tiene consumo estático de potencia en modo *standby* prácticamente cero. Utiliza dos transistores, uno NPN y otro PNP, en contrafase que conducen alternativamente en función de si la señal de entrada es positiva o negativa. De ahí, el nombre de *push-pull*. Otra ventaja adicional es su mejor eficiencia que puede alcanzar un valor máximo próximo al 78% muy superior al 25% de la etapa de salida clase A.

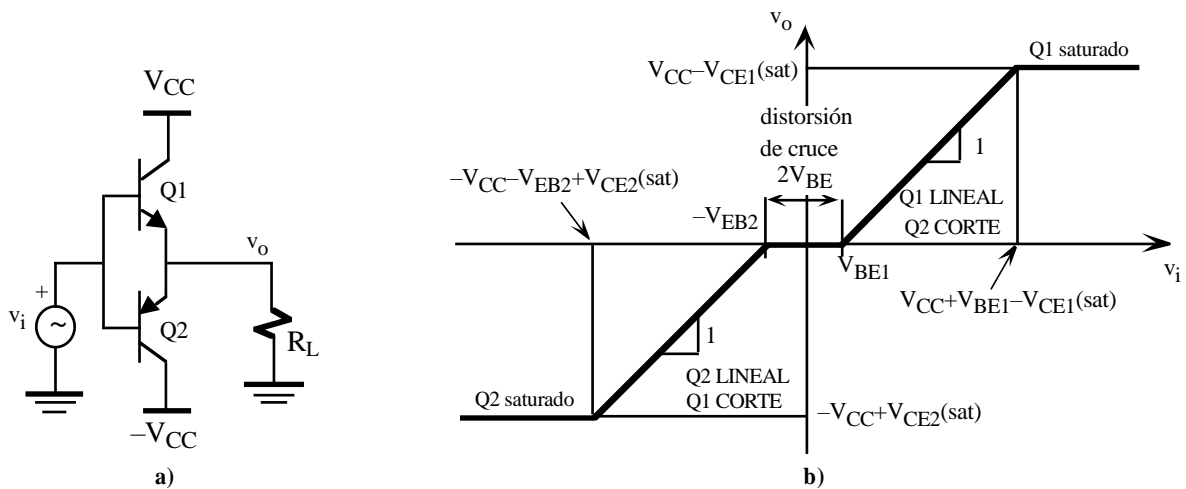


Figura 7.3. Etapa de salida clase B (push-pull): a) estructura básica y b) VTC.

En la figura 7.3.a se presenta la estructura básica de una etapa de salida clase B (*push-pull*). Utiliza transistores NPN y PNP que deben ser *complementarios*, es decir, de idénticas características para lograr una simetría en su modo de operación. Obsérvese como ambos transistores operan como seguidor de emisor con una ganancia en tensión muy próxima a 1.

La figura 7.3.b muestra la VTC de este circuito. Para $v_i=0$, ambos transistores se encuentran en corte ($v_o=0$) y el consumo estático de corriente es nulo (modo *standby*). Si se incrementa la tensión de entrada hasta que Q1 entra en conducción, $v_i > V_{BE1(on)}$, entonces aparece niveles apreciables de corriente en Q1 que circularán por la resistencia de carga; en este caso Q2 está en corte al verificarse $V_{BE2} > 0$. A partir de ahora, Q1 opera en la región lineal hasta alcanzar la saturación ($v_i > V_{CC} + V_{BE1} - V_{CE1(sat)}$). Similares resultados se obtienen para $v_i < 0$ siendo ahora Q2 el transistor que entra en la región lineal con una tensión máxima de salida limitada por la región de saturación ($v_i < -V_{CC} - V_{EB2} + V_{CE2(sat)}$), estando siempre Q1 en corte. Resumiendo, con $v_i > V_{BE1(on)}$ Q1 está en conducción y Q2 en corte y con $v_i < -V_{EB2(on)}$ Q1 está en conducción y Q2 en corte. Además, existe una zona muerta $-V_{EB2(on)} < v_i < V_{BE1(on)}$ que ambos transistores están en corte. Esta característica introduce una distorsión de salida, denominada distorsión de cruce (*crossover*), cuyo efecto puede observarse claramente en la figura 7.4. En la curva de la izquierda se observa una señal de entrada con diferentes amplitudes y en la derecha la tensión de la salida. En el caso 1, una señal de entrada de amplitud pequeña resulta fuertemente distorsionada debido al rango de valores necesarios para que algún transistor entre en conducción ($2V_{BE(on)}$). En el caso 2, al tener la señal de entrada suficiente amplitud este efecto es menos importante pero sigue existiendo un intervalo nulo de tensión en la salida cuando $-V_{EB2(on)} < v_i < V_{BE1(on)}$. El caso 3, una amplitud excesiva a la entrada origina recorte (*clipping*) a la salida; claramente se puede observar en la VTC de la figura 7.3.b los límites máximos de salida.

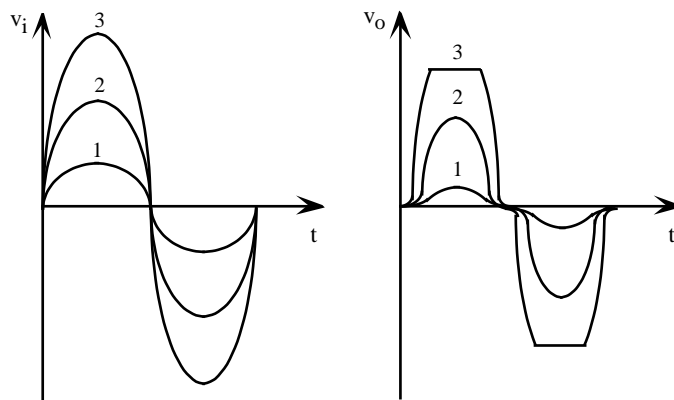


Figura 7.4. Salida de la etapa clase B *push-pull* para diferentes amplitudes de entrada.

7.4.1- Potencia de salida y eficiencia de la etapa clase B

A continuación se estudia la potencia y eficiencia de esta etapa suponiendo despreciable el efecto de distorsión de cruce, aproximación válida cuando las tensiones de alimentación son altas. En la figura 7.5 se muestran las formas de onda y corrientes de colector de la etapa clase B de la figura 7.3.a; estas corrientes definen a su vez las corrientes que suministra las fuentes de alimentación. Las corrientes de colector de los transistores tienen validez únicamente en un semiperiodo (periodo de conducción del transistor). Para obtener la potencia promedio suministrada por una fuente de alimentación es necesario utilizar la ecuación 7.9, resultando

$$\begin{aligned}
 P_{CC} &= \frac{1}{T} \int_0^T v_{CC} i_{C1} dt = \frac{1}{T} \int_0^{T/2} I_o \cos \omega t dt = \frac{1}{T} \left[I_o \sin \omega t \right]_0^{T/2} = \frac{1}{T} I_o \sin \frac{\omega T}{2} \\
 &= \frac{V_{CC}}{T} I_o \left[\cos \omega t \right]_0^{T/2} = \frac{V_{CC}}{T} I_o \frac{2}{\omega} = \frac{V_{CC}}{T} I_o \frac{2}{2\pi} = \frac{V_{CC}}{T} I_o \frac{1}{\pi} = \frac{I_{CC} V_{CC}}{\pi} = \frac{V_o}{R_L} \frac{V_o}{\pi}
 \end{aligned}$$

(7.16)

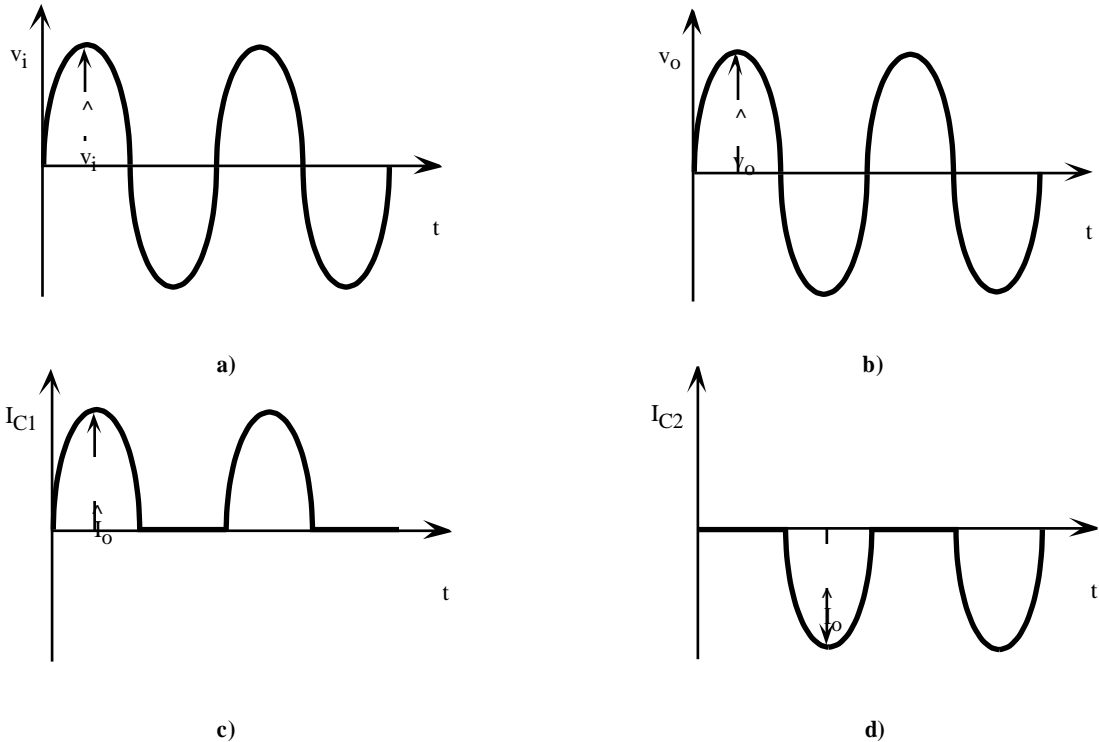


Figura 7.5. Formas de onda. a) Tensión de entrada b) salida, c) Corriente de colector de Q1 y d) de Q2.

Puesto que cada fuente proporciona la misma magnitud de potencia, la potencia promedio total por ambas fuentes de alimentación es el doble de lo indicado en la ecuación 7.16 ($2P_{CC}$).

La potencia promedio entregada a la carga es

$$P_L = \frac{1}{T} \int_0^T V_o i_L dt = \frac{1}{T} \int_0^{T/2} \frac{V_o}{R_L} \cos \omega t dt = \frac{V_o}{R_L} \frac{1}{T} \left[\frac{\sin \omega t}{\omega} \right]_0^{T/2} = \frac{V_o}{R_L} \frac{1}{T} \frac{2}{\omega} = \frac{V_o}{R_L} \frac{1}{\pi}$$

Luego, la eficiencia de esta etapa

$$\eta = \frac{P_L}{2P_{CC}} = \frac{\frac{V_o}{R_L} \frac{1}{\pi}}{\frac{I_{CC} V_{CC}}{\pi}} = \frac{V_o}{4 V_{CC}}$$

Obsérvese cómo la eficiencia de esta etapa es independiente de R_L y varía linealmente con la amplitud de salida. La eficiencia máxima se produce para una amplitud máxima de la tensión de salida que es $V_{CC} - V_{CE(sat)}$, resultando que

$$\eta_{max} = \frac{V_{CC} - V_{CE(sat)}}{4 V_{CC}} = 0.785 \quad (78.5\%)$$

(7.19)

7.5.- Etapa de salida clase AB (Push-Pull)

La distorsión de cruce característica de la etapa de salida clase B anterior puede ser eliminada añadiendo algún circuito que polarice a los transistores de salida con unas corrientes de polarización bajas, pero suficientes para que su punto de trabajo esté en la región lineal (próxima a la región de corte). Las figuras 7.6.a y 7.6.b presentan las configuraciones más utilizadas para polarizar los transistores de salida: con diodos y con un multiplicador V_{BE} .

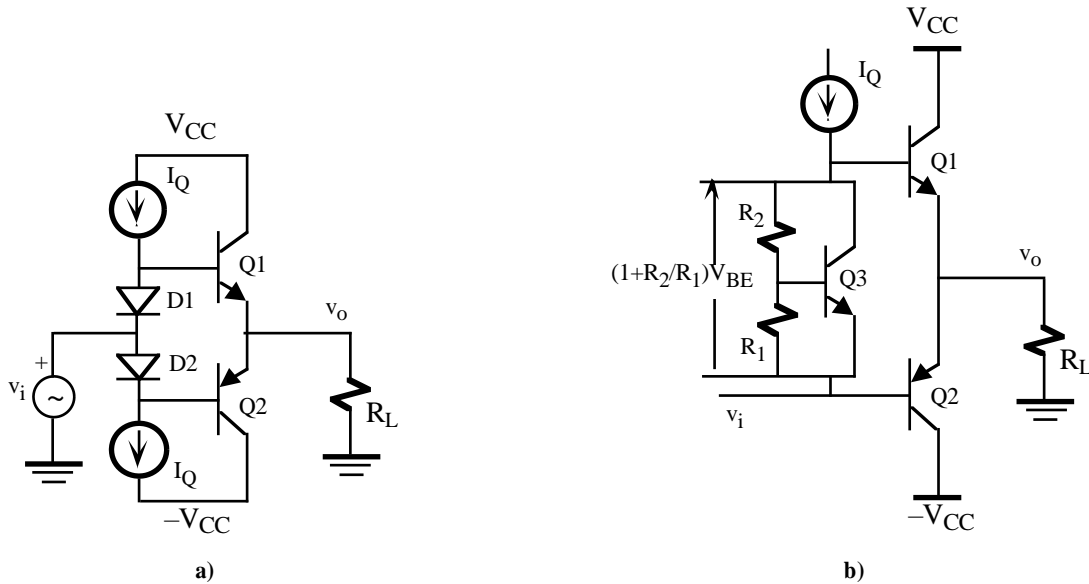


Figura 7.6. Etapa clase AB con polarización por a) diodos y b) multiplicador V_{BE} .

• **Polarización con diodos.** La figura 7.6.a muestra la polarización basada en dos diodos. En ausencia de señal, $v_i=0$, la caída de tensión en diodo D1 hace que el transistor Q1 esté en la región lineal con una corriente de colector baja y lo mismo sucede a Q2 con el diodo D2; es decir, ambos transistores conducen. Cuando se aplica una tensión a la entrada uno de los transistores estará en la región lineal y el otro cortado, funcionando de una manera similar a la etapa clase B anterior pero con la ausencia de distorsión de cruce. En este caso la potencia promedio suministrada por una fuente de alimentación, utilizando la ecuación 7.16, es

$$P_{CC} = \frac{V_{CC}}{\square} \frac{\hat{v}_o}{R_L} + I_Q V_{CC} \tag{7.20}$$

En general, el segundo término es despreciable frente al primero y el valor de la eficiencia indicada en las ecuaciones 7.18 y 7.19 siguen siendo válidas.

La polarización con diodos presenta una importante ventaja al proporcionar estabilización de la polarización con la temperatura. Al aumentar la temperatura, la V_{BE} de los transistores disminuye pero a su vez la caída de tensión de los diodos también lo que permite mantener constante la corriente de polarización de los transistores de salida.

• **Polarización con un multiplicador V_{BE} .** Otro procedimiento para obtener la diferencia de tensión $2V_{BE}$ entre la base de los transistores necesaria para eliminar la distorsión de cruce es utilizar lo que se denomina un

multiplicador de V_{BE} mostrado en la figura 7.6.b. Este circuito consiste en un transistor (Q3) con dos resistencias (R_1 y R_2) conectadas entre su colector y emisor con la base. Si se desprecia la corriente de base (para ello R_1 y R_2 deben ser de unos pocos k Ω) entonces la corriente que circula por R_1 es V_{BE3}/R_1 y la tensión entre el colector y emisor de ese transistor es

$$V_{CE3} = V_{BE3} \left(1 + \frac{R_2}{R_1} \right) \quad (7.21)$$

es decir, la tensión V_{CE3} se obtiene multiplicando la V_{BE3} por un factor $(1+R_1/R_2)$.

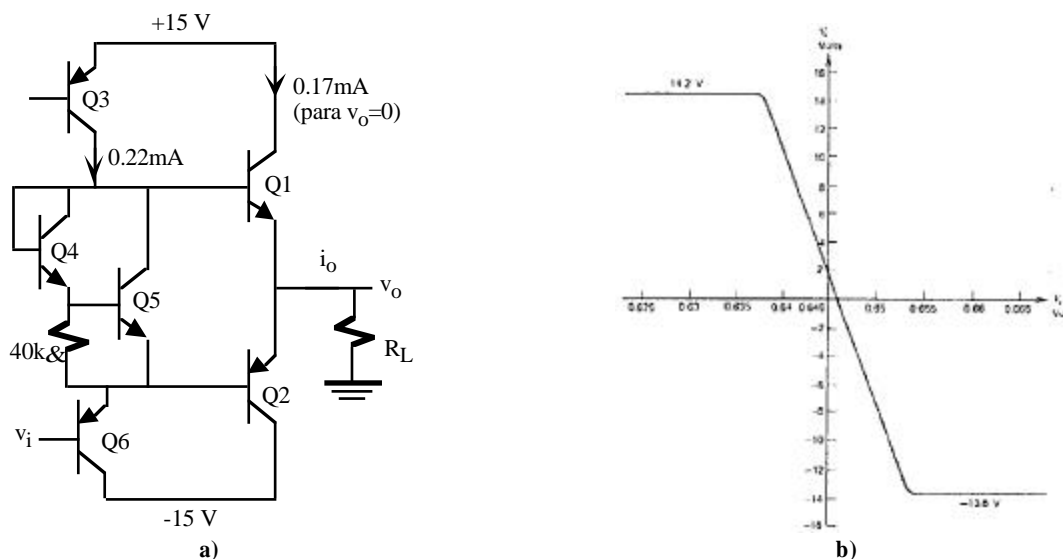


Figura 7.7. Ejemplo de la etapa clase B del amplificador operacional $\mu A741$: a) Estructura del circuito y b) VTC.

- **Etapa de salida de un amplificador operacional.** Como ejemplo práctico en la figura 7.7.a se muestra la estructura simplificada de la etapa de salida del amplificador operacional $\mu A741$ y su curva de transferencia en tensión. La tensión de entrada se aplica a la base de Q6 y la salida está formada por Q1 y Q2. Q3 polariza a Q4 y Q5 para eliminar la distorsión de cruce tal como se muestra en la VTC de la figura 7.7.b. Sin embargo, en ausencia de señal ($v_o=0$) aparece una pequeña corriente (0.17mA) que circula por Q1 y Q2 al no estar totalmente en corte. (clase AB)

7.6.- Protección contra sobrecarga

Una carga resistiva de salida muy baja, en el caso extremo un cortocircuito, puede dañar una etapa de salida. Para evitar este problema, a estas etapas se incorporan circuitos de protección que limitan la intensidad máxima de salida. En la figura 7.8.a se muestra un ejemplo típico de este circuito constituido por Q2 y R que limitan la intensidad I_o máxima de Q1. El funcionamiento es el siguiente. Para corrientes I_o bajas, el transistor Q2 está cortado ya que $I_o R < V_{BE2}$; en estas condiciones $I_i = I_{B1}$ e $I_o = \beta I_i$. Q2 va a entrar en conducción cuando la caída de tensión en R es suficientemente alta para polarizar la unión base-emisor. Si Q2 conduce “roba” intensidad de base a Q1 porque ahora $I_i = I_{C2} + I_{B1}$ o $I_{B1} = I_i - I_{C2}$ siendo la intensidad de salida prácticamente constante de valor $I_o = V_{BE2}/R \approx 28mA$. Este efecto se observa en la gráfica de la figura 7.8.b. Sin Q2, la corriente de salida I_o depende linealmente de la intensidad de entrada I_i . Con Q2, este transistor actúa cuando la I_o alcanza los 28mA

limitando la intensidad de salida alrededor de este valor.

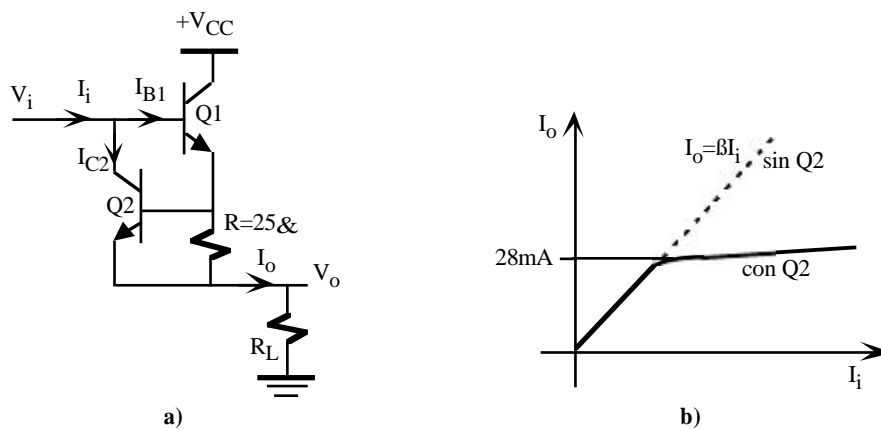


Figura 7.8. a) Circuito de protección para limitar la intensidad de salida. b) Característica de transferencia entrada/salida de Q1 sin y con Q2.

7.7.- Distorsión armónica

En un amplificador ideal la señal de salida es una réplica exacta de la señal de entrada. En amplificadores reales, debido a las características no lineales de los dispositivos, aparecen distorsiones que introducen modificaciones en las señales de salida. Entre los diferentes tipos de distorsiones, la distorsión armónica es uno de los más característicos. Por ejemplo, una señal pura a la entrada de 1kHz se transforma a la salida del amplificador con distorsión armónica en otra señal que además de tener la componente fundamental (1kHz) posee señales de armónicas de 2kHz (segundo armónico), 3kHz (tercer armónico), etc. Los analizadores de espectro son instrumentos que miden los armónicos presentes en señales y aplican técnicas basadas en el análisis de Fourier para descomponer las diferentes componentes frecuenciales. El analizador de formas de onda permite de una manera más precisa medir a través de técnicas de filtrado las componentes armónicas de una señal distorsionada. En las etapas de salidas clase AB y B, la distorsión es debida principalmente a los armónicos impares, siendo el tercer armónico el dominante.

La distorsión armónica total o THD (*Total Harmonic Distortion*) es un parámetro que mide la distorsión armónica que presenta una señal a través de las componentes frecuenciales. El THD se define como

$$THD = \sqrt{D^2 + D_2^2 + D_3^2 + D_4^2 + \dots} \tag{7.22}$$

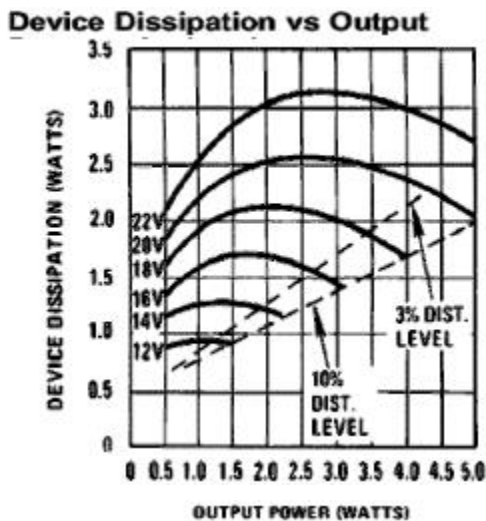
donde D_2 es el cociente entre la amplitud del armónico de segundo orden y la amplitud de la componente fundamental, D_3 es cociente entre la amplitud del armónico del tercer orden y la amplitud de la componente fundamental, ...

Cuando la distorsión armónica aparece en la salida, la potencia promedio calculado para la señal sin distorsionar (P_0) no es correcta. La potencia promedio total de una señal distorsionada se define como

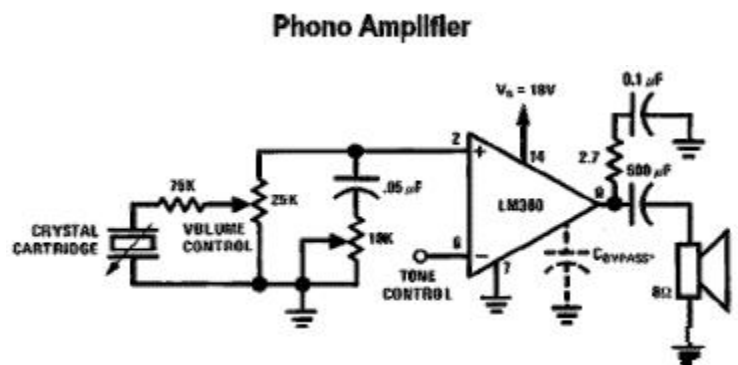
$$P_D = P_0(1 + THD^2) \tag{7.23}$$

7.8.- Amplificadores de potencia integrados

Existe en el mercado una gran variedad de amplificadores de potencia realizados en circuitos integrados. La mayoría de ellos consisten en una etapa amplificadora de alta ganancia seguida de una etapa de salida clase AB. El LM380 de National Semiconductor Corporation es ejemplo típico de un amplificador integrado de ganancia fija (50). Este amplificador ha sido diseñado para operar con tensiones de alimentación V_s entre 12-22 V, proporciona una potencia de salida 2.5 W y tiene un consumo estático de potencia reducido de 0.13W a $V_s=18V$. La selección de V_s depende del valor de la resistencia de carga y la potencia requerida de salida. El fabricante proporciona curvas de la potencia de disipación del circuito con la potencia de salida para diferentes valores de V_s y resistencia de carga. La figura 7.9.a presenta una de esas curvas para una carga de 8 Ω (carga típica de un altavoz) e incluye además las rectas correspondientes a una THD del 3% y 10%. La figura 7.9.b muestra una aplicación típica de este amplificador. Otro ejemplo de amplificador de potencia es el LH0101 de National Semiconductor fabricado en tecnología de película delgada capaz de proporcionar hasta 60 W de salida y con un ancho de banda de 300kHz.



a)



b)

Figura 7.9. a) Curva de disipación con la potencia de salida de amplificador de audio LM380 para diferentes valores de la tensión de alimentación. b) Aplicación típica de este amplificador.

7.9.- Consideraciones térmico-ambientales

La potencia entregada a un dispositivo en forma de corriente eléctrica se transforma en calor. Este calor hace aumentar su temperatura que debe ser mantenida dentro de unos límites aceptables. Por ejemplo, la temperatura máxima que puede soportar las uniones de un semiconductor (diodos, transistores, etc ..) está comprendida entre 150 y 175 °C. La figura 7.10 describe gráficamente el sistema de conversión eléctrica en calor y su proceso de disipación. El semiconductor recibe corriente eléctrica que se transforma en calor. Este calor se transmite a la cápsula y ésta la radiará al exterior. Si la potencia disipada por el semiconductor es constante se alcanzará un equilibrio térmico

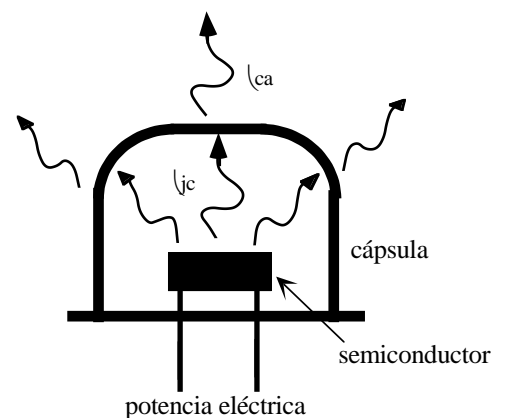


Figura 7.10. Radiación de calor.

estable después de un tiempo suficiente, siempre que no se deteriore el dispositivo.

Para medir la capacidad de eliminar el calor se introduce el concepto de *resistencia térmica* (generalmente representada por el símbolo θ) como la resistencia que opone los materiales al paso de la transmisión de calor entre dos temperaturas. Como es evidente, una encapsulado metálico disipará más calor que uno de plástico por presentar menor resistencia térmica el primero que el segundo. El aumento de la temperatura de la unión de un semiconductor por encima de la temperatura de la cápsula está relacionado con la potencia disipada mediante la ecuación

$$T_j - T_c = P_j \theta_{jc} \tag{7.24}$$

donde T_j es la temperatura en °C de la unión del semiconductor, T_c es la temperatura en °C de la cápsula, P_j es la potencia eléctrica en W y θ_{jc} es la resistencia térmica en °C/W entre la unión y la cápsula. Esta resistencia térmica es función del tipo de semiconductor y cápsula (plástico, cerámico, metálica,...) y es especificada por el fabricante. La temperatura de la cápsula se transmite a su vez al exterior. El aumento de la temperatura de la cápsula por encima de la temperatura ambiente (T_a) se expresa mediante la ecuación

$$T_c - T_a = P_j \theta_{ca} \tag{7.25}$$

siendo θ_{ca} la resistencia térmica entre la cápsula y el exterior. La relación entre la potencia eléctrica absorbida por la unión, su temperatura y la temperatura ambiente se obtiene combinando las ecuaciones 7.24 y 7.25 resultando que

$$T_j - T_a = P_j (\theta_{jc} + \theta_{ca}) = P_j \theta_{ja} \tag{7.26}$$

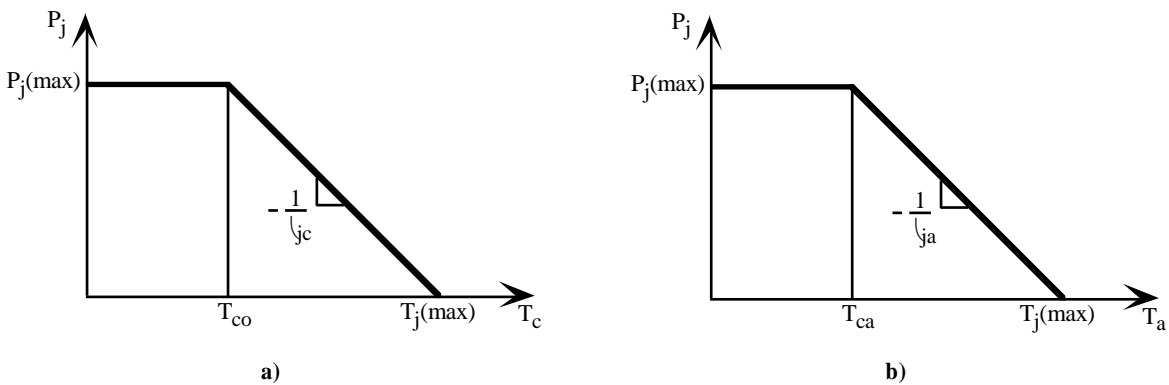


Figura 7.11. Curvas de degradación: a) de la temperatura de la cápsula; b) de la temperatura ambiente.

El fabricante suele proporcionar dos tipos de resistencia

- 1) θ_{ja} o R_{thj-a} o resistencia térmica entre la unión y el ambiente. Resistencia térmica propia del transistor que incluye la resistencia térmica de la cápsula-ambiente.
- 2) θ_{jc} o R_{thj-c} o resistencia térmica entre la unión y la cápsula.

Ambos parámetros se expresan también a través de las curvas de degradación tal como se muestran en las gráficas de figura 7.11. Indican la máxima disipación de potencia admisible para una temperatura de cápsula

(figura 7.11.a) o para una temperatura ambiente (figura 7.11.b). Estas curvas se obtienen a partir de las ecuaciones 7.24 y 7.25 limitadas por la potencia máxima ($P_j(\max)$) de disipación del dispositivo y la temperatura máxima ($T_j(\max)$) que puede alcanzar la unión. La figura 7.12 presenta diferentes tipos de encapsulados utilizados por el fabricante y la tabla 7.1 sus correspondientes resistencias térmicas θ_{jc} y θ_{ja} . Los transistores de potencia tienen encapsulados tipo TO.3 de baja θ_{ja} a diferencia de los de baja potencia que usan encapsulados de mayor resistencia térmica. Como es evidente, el coste de un encapsulado es inversamente proporcional a su resistencia térmica.

La disminución de la resistencia térmica de los dispositivos se realiza utilizando aletas refrigeradoras, también denominados radiadores, que se adhieren al dispositivo a través de mica o pasta de silicona. En la figura 7.13 se presenta el sistema de fijación de una aleta a un dispositivo. La ecuación de disipación de calor en este tipo de estructuras es

$$T_j - T_a = P_j(\theta_{jc} + \theta_{cr} + \theta_{ra}) \tag{7.27}$$

θ_{jc} es un parámetro fijado por el encapsulado proporcionado por el fabricante, θ_{cr} es la resistencia térmica entre el dispositivo y la aleta refrigeradora y θ_{ra} es la resistencia térmica de la aleta. La θ_{cr} está tabulada para diferentes encapsulados en función del tipo de material utilizado para fijar la aleta a la cápsula del dispositivo. Una conexión directa es el procedimiento que tiene una θ_{cr} más baja que puede ser reducido aún más si se añade pasta de silicona especial para estas aplicaciones. Sin embargo, muchos fabricantes utilizan los encapsulados metálicos como salida de un terminal del dispositivo; por ejemplo, muchos transistores de potencia que utilizan el modelo TO.3 tienen el colector conectado al revestimiento metálico exterior. Con ello, no existe aislamiento eléctrico entre dispositivo y aleta y puede resultar peligroso en muchos casos. La mica o mica+pasta de silicona es el aislante eléctrico más utilizado pero que tiene como inconveniente el de aumentar la resistencia térmica.

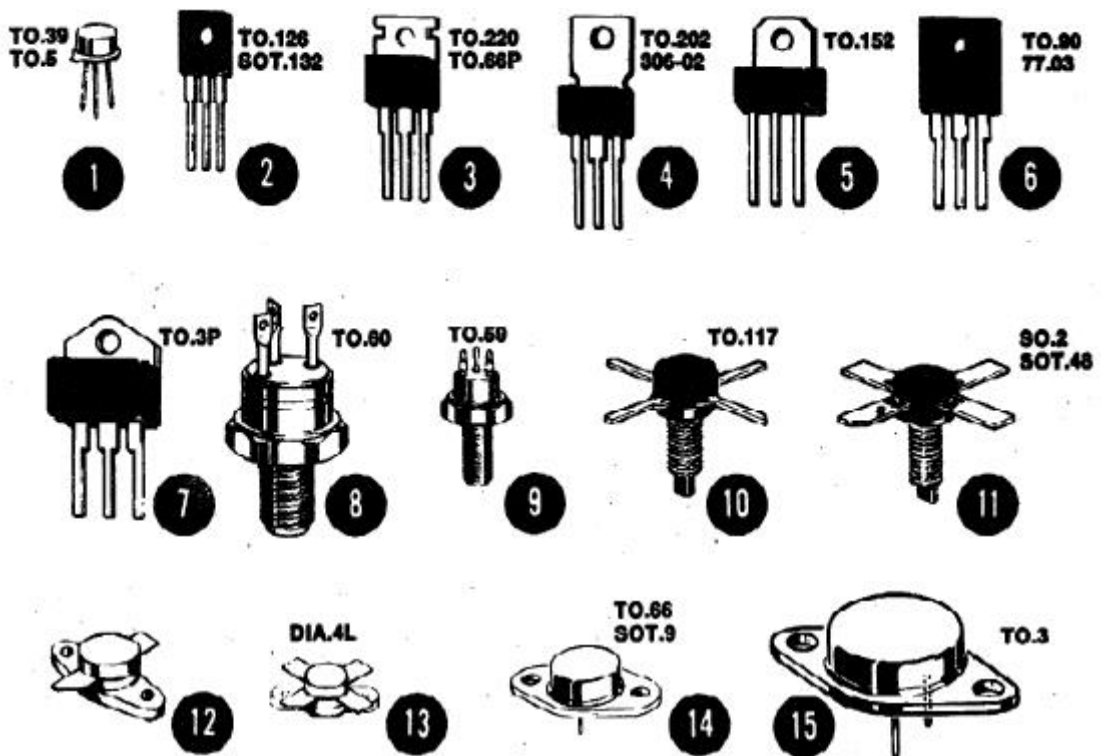


Figura 7.12. Diferentes tipos de encapsulados.

Tipo de contenedor	ζ_c o R_{thj-c}	ζ_a o R_{thj-a}
TO5-TO.39	10 a 60 °C/W	175 a 220 °C/W
TO.202	12 a 15 °C/W	60 a 90 °C/W
TO.126-SOT.32	3 a 15 °C/W	80 a 100 °C/W
TO.220-T0.66 (Plástico)	1.5 a 4.2 °C/W	60 a 70 °C/W
TO.3 (Plástico)	1 a 2 °C/W	35 a 45 °C/W
TO.66-SOT.9	4 a 5 °C/W	75 a 85 °C/W
TO.59-TO.60	1.5 a 3 °C/W	70 a 90 °C/W
TO.3	0.8 a 3 °C/W	30 a 40 °C/W
TO.117	15 a 35 °C/W	70 a 90 °C/W
SOT.48-SOE.2	1.8 a 6 °C/W	40 a 70 °C/W
DIAL.4L	1.25 a 5.6 °C/W	40 a 70 °C/W

Tabla 7.1. Resistencias térmicas para los encapsulados de la figura 7.13.

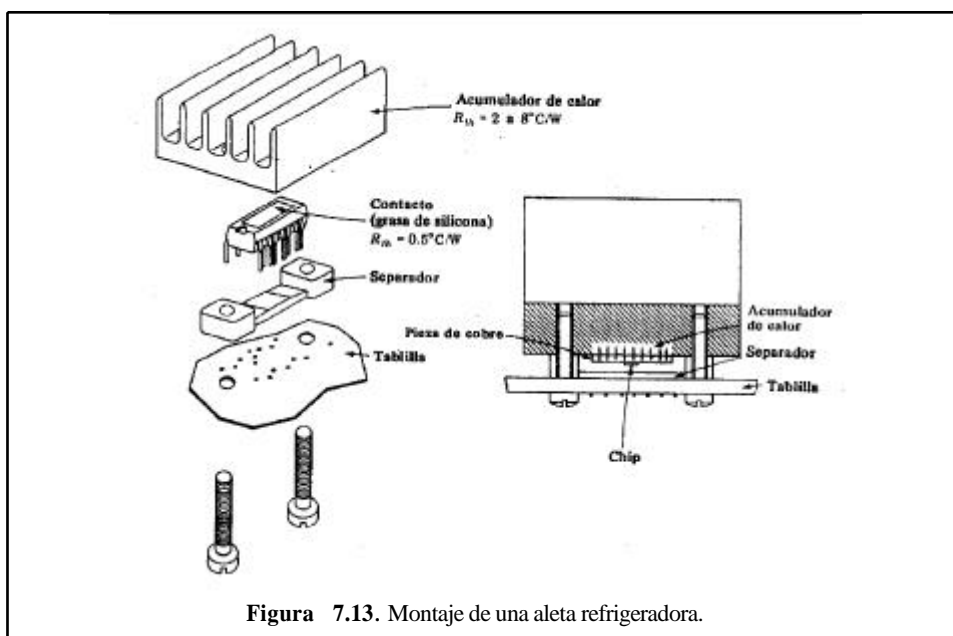


Figura 7.13. Montaje de una aleta refrigeradora.

Tipo contenedor	Contacto directo	Contacto directo más pasta de silicona	Contacto con mica	Contacto con mica más pasta de silicona
TO.39-TO.5	1	0.7	–	–
TO.126	1.4	1	2	1.5
TO.220	0.8	0.5	1.4	1.2
TO.202	0.8	0.5	1.4	1.2
TO.152	0.8	0.5	1.4	1.2
TO.90	0.5	0.3	1.2	0.9
TO.3 (Plástico)	0.4	0.2	1	0.7
TO.59	1.2	0.7	2.1	1.5
TO.117	2	1.7	–	–
SOT.48	1.8	1.5	–	–
DIAL.4L	1.1	0.7	–	–
TO.66	1.1	0.65	1.8	1.4
TO.3	0.25	0.12	0.8	0.4

Tabla 7.2. Resistencias térmicas capsula-aleta para diferentes tipos de aislante (en °C/W).

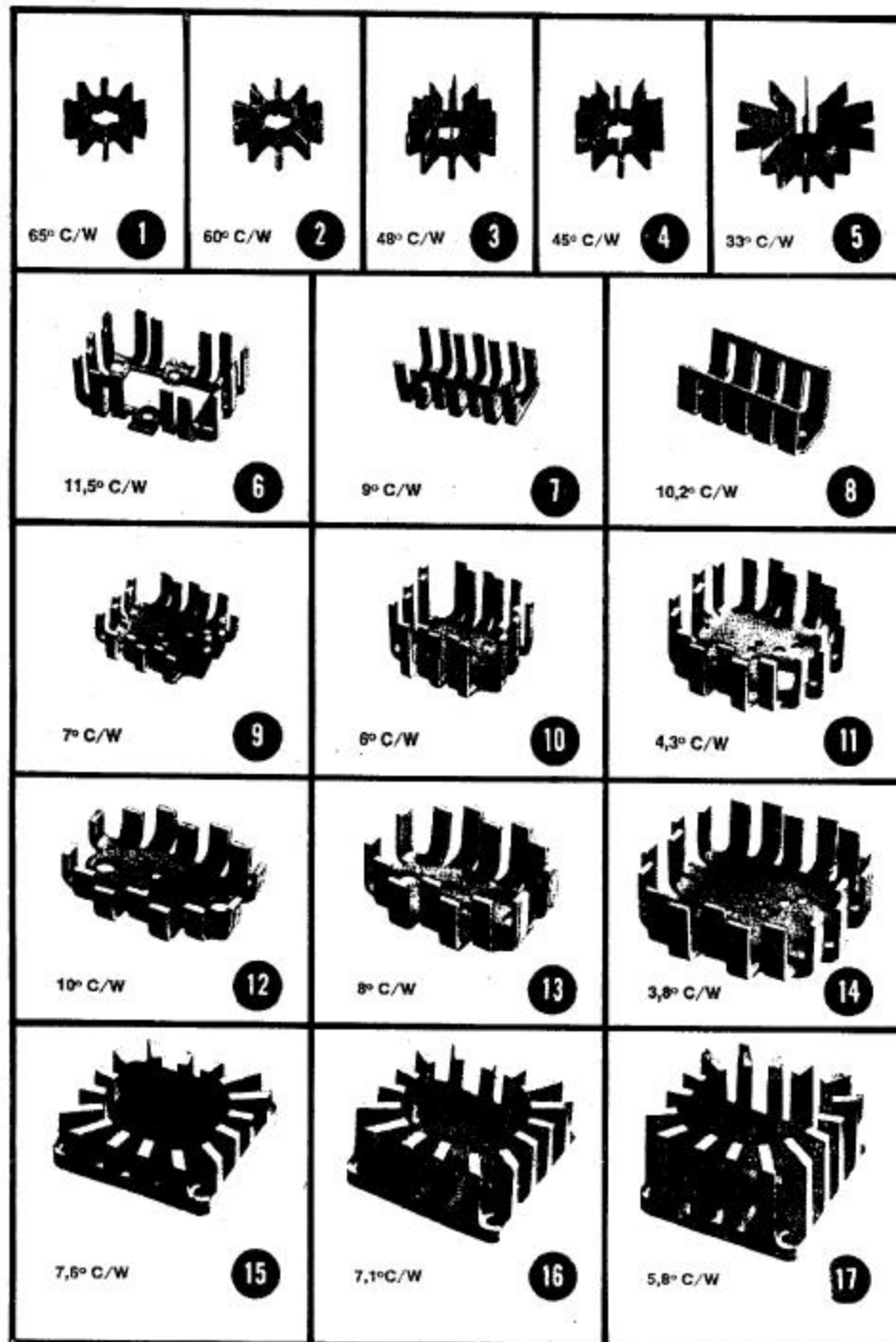


Figura 7.14. Diferentes tipos de aletas refrigeradoras.

Por último, el diseñador puede escoger la aleta refrigeradora más adecuada en función de las necesidades de potencia. En la figura 7.14 se presentan las más típicas. Suelen ser fabricados de aluminio ennegrecido para favorecer la disipación de calor. Las de mayor tamaño presentan menor resistencia térmica pero, a su vez, el precio es mayor. A veces, se añade a estas aletas un ventilador con objeto de producir aire en movimiento que refrigere las aletas.

7.10.- Dispositivos de potencia

7.10.1.- Transistores bipolares de potencia

Los transistores BJT de potencia están diseñados para soportar niveles de tensión y corriente elevados y tienen una estructura física bastante diferente en comparación con los transistores de pequeña señal. La unión colector-base tiene gran área y el colector está fijado al encapsulado metálico para reducir su resistencia térmica. Los fabricantes proporcionan una zona de operación segura o SOA (*safe operating area*) para evitar el deterioro del dispositivo por efecto Joule. La figura 7.15.a indica esta zona dentro de las características i_C, v_{CE} del transistor en donde distinguen cuatro zonas limítrofes:

- 1 La corriente máxima del colector está limitada por los cables de conexión al encapsulado.
- 2 Hipérbola de disipación máxima definida por $v_{CE}i_C = P_D(\max)$.
- 3 Fenómenos de segunda ruptura debido a la no uniformidad en la corrientes de la unión emisor-base que originan zonas de alta temperatura y deriva térmica que destruyen esa unión.
- 4 Ruptura de la unión colector-emisor.

El fabricante proporciona la zona SOA en escala logarítmica de forma que las curvas se transforman en rectas. Un ejemplo de esta gráfica aparece en la figura 7.15.b extraída de las características del 2N3055. Las diferentes curvas se obtienen aplicando pulsos no repetitivos de una duración determinada.

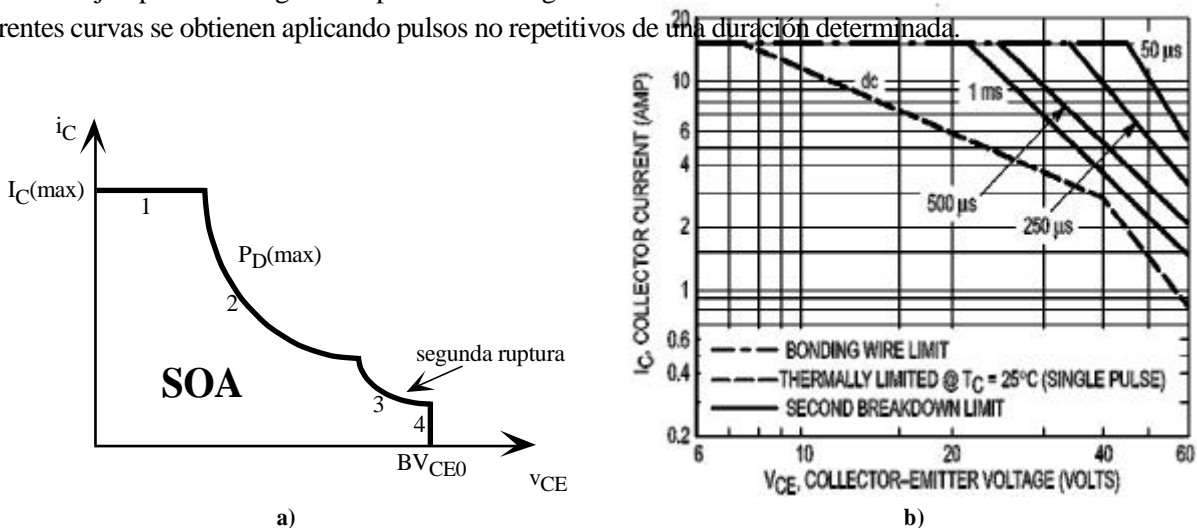


Figura 7.15. a) Región SOA de un transistor bipolar de potencia. b) SOA en escala logarítmica para el transistor de potencia NPN 2N3055.

Las principales diferencias de un transistor bipolar de potencia con respecto a un transistor de pequeña señal son:

- 1.- A corrientes muy altas, la ecuación de Ebers-Moll en la región lineal es $I_C = I_S \exp(V_{BE}/2V_T)$.
- 2.- La h_{FE} es típicamente baja, entre 30 y 80, pudiendo llegar incluso a 5.
- 3.- La h_{ie} es más pequeña que la resistencia de difusión de los terminales. Los modelos de pequeña señal no son válidos.
- 4.- La f_T es baja, unos pocos MHz.
- 5.- La I_{CBO} es alta (μA) y se dobla cada $10^\circ C$.
- 6.- la BV_{CE0} está entre 50 y 60 V, pudiendo alcanzar valores de 500 V.
- 7.- $I_C(\max)$ es del orden de amperios llegando incluso a 100A.

7.10.2.- Transistores MOS de potencia

Los transistores MOS de potencia, similar a los transistores bipolares anteriores, son capaces de manejar niveles de tensión y corrientes elevados. Los transistores MOS de pequeña señal tienen una estructura incompatible para aplicaciones de potencia. Por ello, ha surgido una estructura muy popular basado en transistores MOS de enriquecimiento conocido como DMOS o de doble difusión MOS (*double-diffused vertical MOS transistor*) mostrado en la figura 7.16. La corriente controlada por la tensión de la puerta fluye desde las dos fuentes hasta el drenador a través del sustrato ligeramente dopado. Los transistores DMOS son de canal estrecho pero poseen tensiones de rupturas de hasta 600 V y son capaces de manejar corrientes de 50 A. Este dispositivo se ha impuesto al V-groove MOS de la década de los 80 salvo, quizás, en aplicaciones de alta frecuencia.

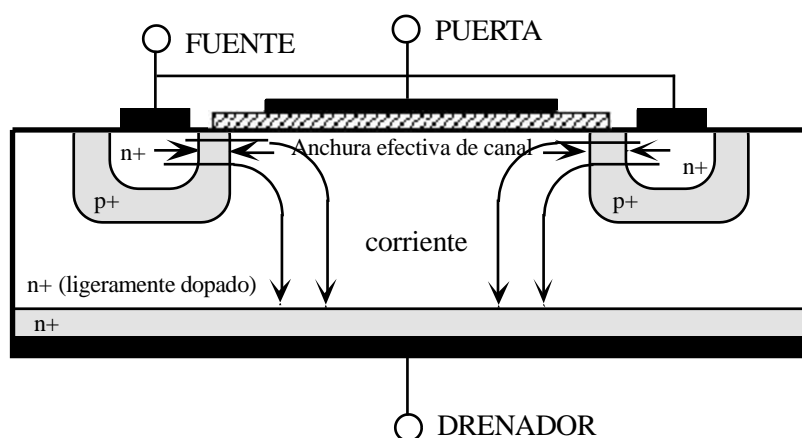


Figura 7.16. Estructura física de un transistor vertical de alta potencia MOS (DMOS) de doble difusión.

Una característica del DMOS es la relación lineal entre la corriente de drenador y la tensión de puerta cuando se alcanza la velocidad de saturación. Este fenómeno se produce cuando los portadores móviles alcanzan una velocidad límite debido al elevado campo eléctrico a lo largo del canal estrecho. La figura 7.17.a describe la relación i_D - v_{GS} de un transistor DMOS. Se distinguen tres regiones: corte cuando la $v_{GS} < V_T$, ley cuadrática en la cual la relación entre i_D y v_{GS} sigue la ecuación cuadrática clásica de un transistor MOS y lineal que debido a la velocidad de saturación existe una relación lineal entre la i_D y v_{GS} utilizada para amplificación. Otro aspecto importante de los DMOS es la variación de sus características con la temperatura. Un ejemplo es la curva i_D - v_{GS} del transistor DMOS IRF 630 de Siliconix mostrada en la figura 7.17.b. Existe un punto alrededor de $v_{GS}=5.4V$ en donde la intensidad i_D es insensible con la temperatura conocido como punto con coeficiente de temperatura cero; tensiones inferiores a ese punto el transistor presenta un coeficiente térmico positivo y superiores negativo. Por ello, los transistores DMOS no sufren de deriva térmica para tensiones de polarización superiores a ese valor.

Por último, los transistores DMOS comparados con los bipolares de potencia presentan una serie de ventajas. Los DMOS carecen de fenómenos de segunda ruptura que limitan la SOA de los bipolares (figuras 7.15.a y 7.15.b) y no requieren corrientes de polarización elevadas (son dispositivos controlados por tensión). No obstante, las capacidades asociadas a sus terminales son altas que precisan de etapas amplificadoras previas capaces de cargar y descargar esas capacidades a una velocidad adecuada. Sin embargo, al ser los DMOS más rápidos que los bipolares se utilizan en aplicaciones de conmutación como, por ejemplo, circuitos de control de motores.

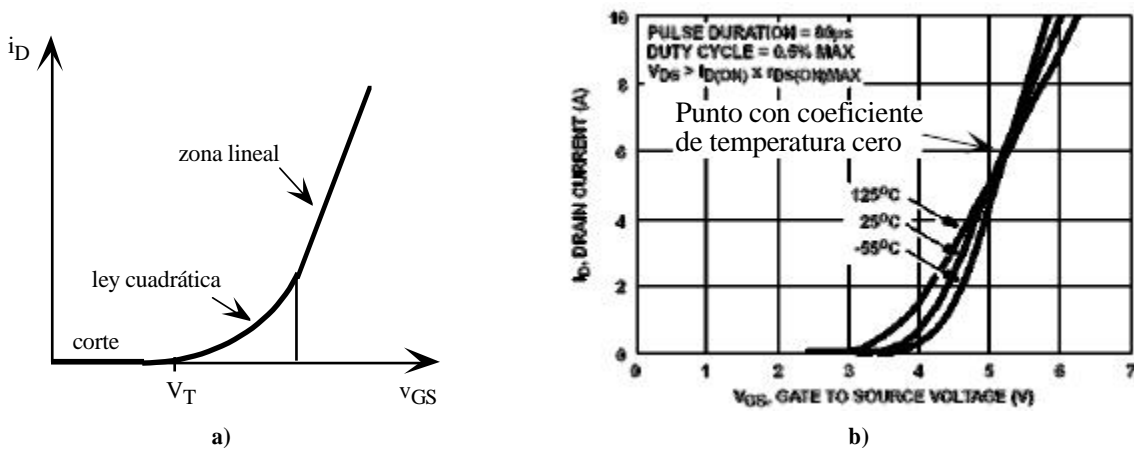


Figura 7.17. a) Característica. i_D - v_{GS} de un DMOS. b) Característica. i_D - v_{GS} con la temperatura del RF630.

7.10.3.- Transistores IGBT's

El IGBT o *insulated gate bipolar transistor* es dispositivo triterminal - puerta, emisor y colector- que reúne las características de los transistores bipolares y FET siendo capaz de controlar grandes potencias (1MVA) con tensiones de puerta relativamente bajas (12 V a 15 V) y frecuencias de conmutación elevadas (500kHz). La combinación de una SOA muy amplia, alta velocidad y baja tensión de saturación les hace idóneos para aplicaciones de control de grandes potencias como es el control de motores, equipos de soldadura, etc.

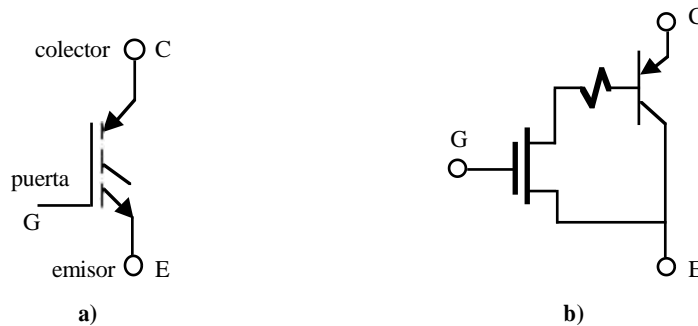
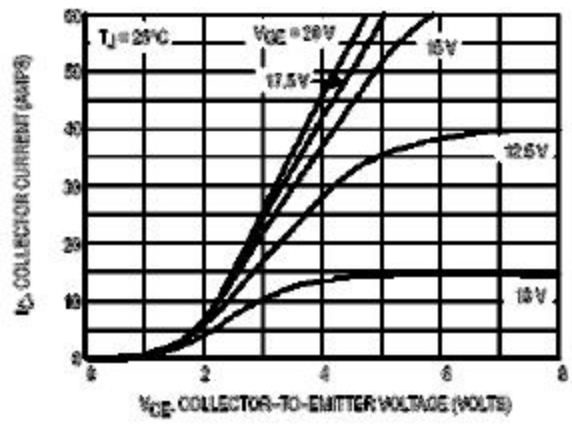
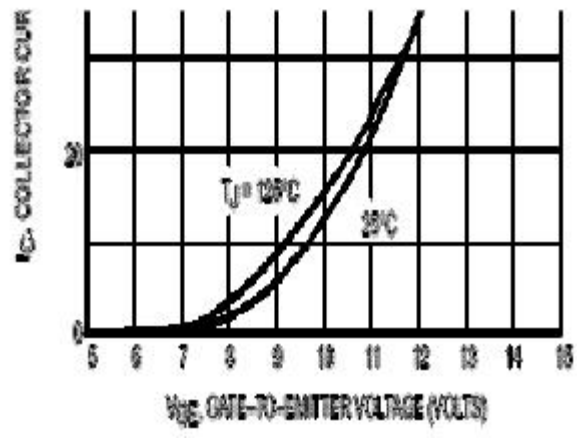


Figura 7.19. a) Símbolo del IGBT y b) modelo eléctrico equivalente simplificado.

La figura 7.18.a muestra el símbolo de un IGBT y la figura 7.18.b su modelo eléctrico equivalente simplificado donde se puede observar sus características combinadas de un transistor MOSFET y transistor bipolar resultando ser un elemento bidireccional en corriente (la corriente puede circular en ambos sentidos) controlado por tensión. En las figuras 7.19.a y 7.19.b se presentan dos gráficas correspondientes al IGBT M6W20W120 (20A-1200 V) de Motorola. En la primera se observa las características I_C - V_{CE} para diferentes tensiones de puerta (V_{GE}); con tensiones de puerta de unos pocos voltios se controla corrientes de varios amperios. La segunda gráfica presenta la relación cuadrática similar a un MOSFET que existe entre la tensión de puerta (V_{GE}) y la corriente I_C . A partir de una tensión threshold, que en el M6W20W120 es de 6 V, el IGBT entra en coducción con corrientes de varias decenas de amperios; obsérvese que a $V_{GE}=12$ V el coeficiente térmico es nulo, es decir, la I_C es independiente con la temperatura.



a)



b)

Figura 7.19. Características eléctricas del M6W20W120 de Motorola. Características a) I_C - V_{CE} y b) I_C - V_{GE} .

Problemas

P7.1 Calcular el rendimiento de la etapa de salida clase A de la figura P7.1 para $v_s=10\text{mV}$ senwt y su rendimiento máximo. Datos: $h_{FE}=120$, $h_{fe}=150$, $h_{ie}=2\text{k}\Omega$.

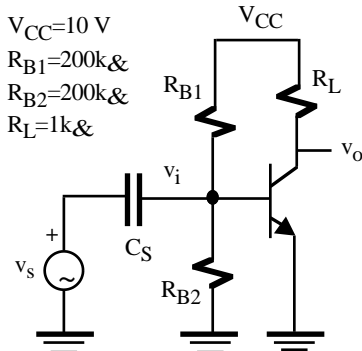


Figura P7.1

P7.2 Para la etapa de salida de la figura P7.2, se pide:

- El valor de V_{BB} para que la v_o tenga una componente en continua de $V_{CC}/2$.
- Calcular la eficiencia cuando $v_s=5\text{V}$ senwt y la eficiencia máxima.
- Determinar la potencia promedio máxima que va a disipar el transistor.

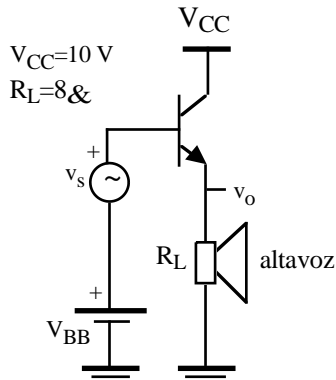


Figura P7.2

P7.3 La figura P7.3 muestra a un amplificador de la clase A que utiliza una fuente de corriente I_Q para polarizar el transistor de salida. Para este circuito, se pide:

- El valor de V_{BB} para que la $v_o=0$ en

ausencia de señal ($v_s=0$).

- Calcular la eficiencia cuando $v_s=5\text{V}$ senwt y la eficiencia máxima.

Dato: $I_S=10^{-15}\text{A}$.

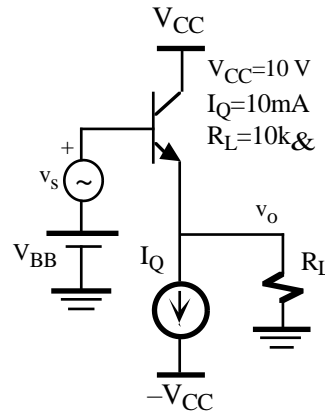


Figura P7.3

P7.4 Calcular la eficiencia máxima de la etapa de salida de la figura P7.4.

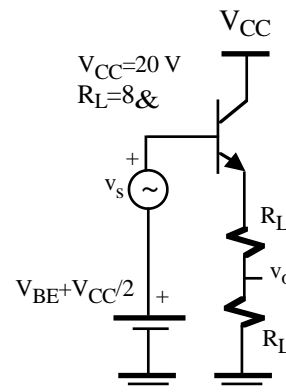


Figura P7.4

P7.5 El circuito de la figura P7.5 es una clase AB polarizado con diodos para eliminar la distorsión de cruce. Se pide:

- Calcular el rendimiento de la etapa si $v_i=5\text{V}$ senwt despreciando el efecto de I_Q .
- Repetir el apartado a) incluyendo a las fuentes de corriente.
- Si $v_i=7.5\text{V}$ senwt calcular la potencia

promedio de las fuentes de alimentación, de la resistencia de carga y de cada uno de los transistores. Obtener el valor de la corriente de colector pico de un transistor.

- d) Una característica sorprendente de esta etapa es que la potencia de disipación máxima de un transistor no se produce para una tensión máxima de salida como en principio parece lógico, sino cuando la tensión de salida toma el valor de

$$v_o = \frac{2V_{CC}}{\pi} = 0.636V_{CC}$$

Demostrar esa condición y determinar la potencia promedio de disipación máxima de un transistor. Comparar esta potencia con la que se obtiene cuando la tensión de salida es máxima.

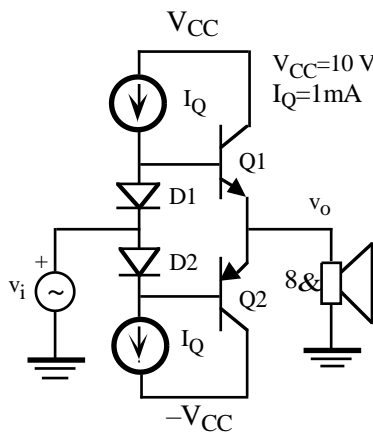


Figura P7.5

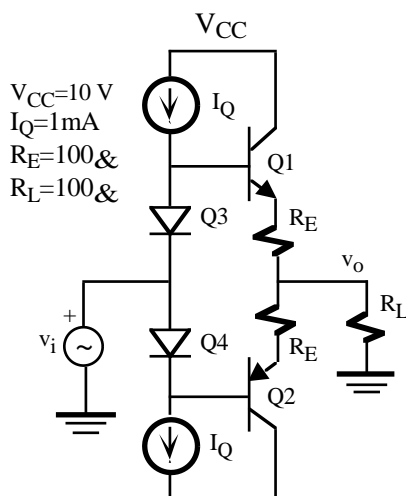


Figura P7.6

- P7.6** Para la etapa de salida de la figura P7.6, calcular: la corriente de polarización de los transistores Q1 y Q2, eficiencia máxima y la potencia promedio de los transistores cuando la tensión de salida es máxima. Nota: considerar que todos los transistores tienen idénticas características eléctricas.
- P7.7** Determinar la corriente de salida del circuito de la figura P7.7. ¿Qué ventajas tiene respecto al circuito de la figura 7.8?

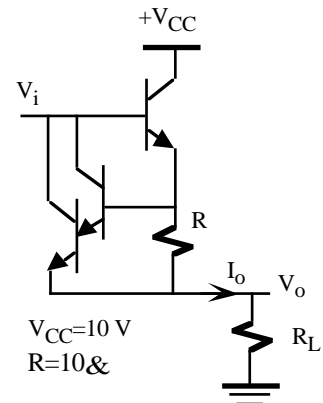


Figura P7.7

- P7.8** En un experimento para determinar la THD de un amplificador se ha aplicado una señal sinusoidal a la entrada de frecuencia 100Hz y a la salida el equipo de instrumentación de análisis de ondas ha obtenido la siguiente señal

$$v_o = 2.5 \text{ V sen}(2\pi 100t) + 0.25 \text{ V sen}(2\pi 200t) + 0.1 \text{ V sen}(2\pi 300t) + 0.05 \text{ V sen}(2\pi 400t)$$

Determinar las componentes de distorsión armónica de segundo, tercer y cuarto orden, y el THD. Si la potencia de salida ideal es de 25 W, calcular la potencia de salida real debida a la distorsión armónica.

- P7.9** Calcular la potencia máxima que puede disipar el transistor 2N3904 si la temperatura de la cápsula no debe superar los 100 °C.
- P7.10** Calcular la potencia máxima que puede disipar el transistor 2N3904 si la temperatura ambiente

es de 50°C.

- P7.11** Un transistor de potencia, de silicio, tiene las siguientes especificaciones térmicas:
 $P_{D(máx)}=20W$, $\theta_{ja}=7\text{ }^{\circ}C/W$ y $\theta_{jc}=0.7\text{ }^{\circ}C/W$.
- Obtener la temperatura máxima de la unión.
 - El transistor está montado directamente sobre un radiador de calor de aluminio que tiene $\theta_{ra}=4\text{ }^{\circ}C/W$ y la resistencia térmica cápsula-radiador es de $\theta_{cr}=0.2\text{ }^{\circ}C/W$. Hallar la máxima disipación permisible.
- P7.12** Un transistor tiene un encapsulado TO.126 y una temperatura T_j máxima de 150°C. Determinar la potencia máxima que puede disipar sin aleta, en el caso que la temperatura ambiente nunca sea inferior a 45 °C. En estas condiciones, indicar la resistencia térmica máxima de la aleta que permita duplicar la anterior potencia máxima.
- P7.13** Un diodo Zener de 2 W debe disipar 5 W y la temperatura máxima de la unión es 175°C. Calcular la θ_{ja} . Si la temperatura ambiente de 50°C y $\theta_{jc}=15\text{ }^{\circ}C/W$, determinar la máxima resistencia térmica entre la cápsula-ambiente que evite dañar al diodo. Si el encapsulado del diodo es del tipo TO.202, proponer un tipo de aleta que verifique todos los requerimientos.
- P7.14** La etapa clase AB del problema P7.5 va a ser construido con transistores 2N3904 y 2N3906. Determinar el valor de la resistencia térmica de la aleta refrigeradora que asegure el correcto funcionamiento de los transistores en el peor caso.

TEMA 8

El amplificador operacional: Fundamentos y aplicaciones básicas

8.1.- Introducción

El término de amplificador operacional (*operational amplifier* o *OA* o *op amp*) fue asignado alrededor de 1940 para designar una clase de amplificadores que permiten realizar una serie de operaciones tales como suma, resta, multiplicación, integración, diferenciación..., importantes dentro de la computación analógica de esa época. La aparición y desarrollo de la tecnología integrada, que permitía fabricar sobre un único substrato monolítico de silicio gran cantidad de dispositivos, dió lugar al surgimiento de amplificadores operacionales integrados que desembocaron en una revolución dentro de las aplicaciones analógicas. El primer OA fue desarrollado por R.J. Widlar en Fairchild. En 1968 se introdujo el famoso OA 741 que desbancó a sus rivales de la época con una técnica de compensación interna muy relevante y de interés incluso en nuestros días. Los amplificadores basados en tecnología CMOS han surgido como parte de circuitos VLSI de mayor complejidad, aunque sus características eléctricas no pueden competir con los de la tecnología bipolar. Su campo de aplicación es más restrictivo pero su estructura sencilla y su relativa baja área de ocupación les hacen idóneos en aplicaciones donde no se necesitan altas prestaciones como son los circuitos de capacidades conmutadas (*switched-capacitor*). Combinando las ventajas de los dispositivos CMOS y bipolares, la tecnología Bi-CMOS permite el diseño de excelentes OAs.

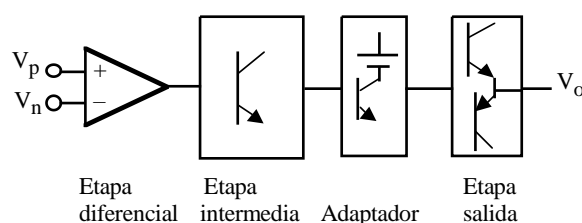
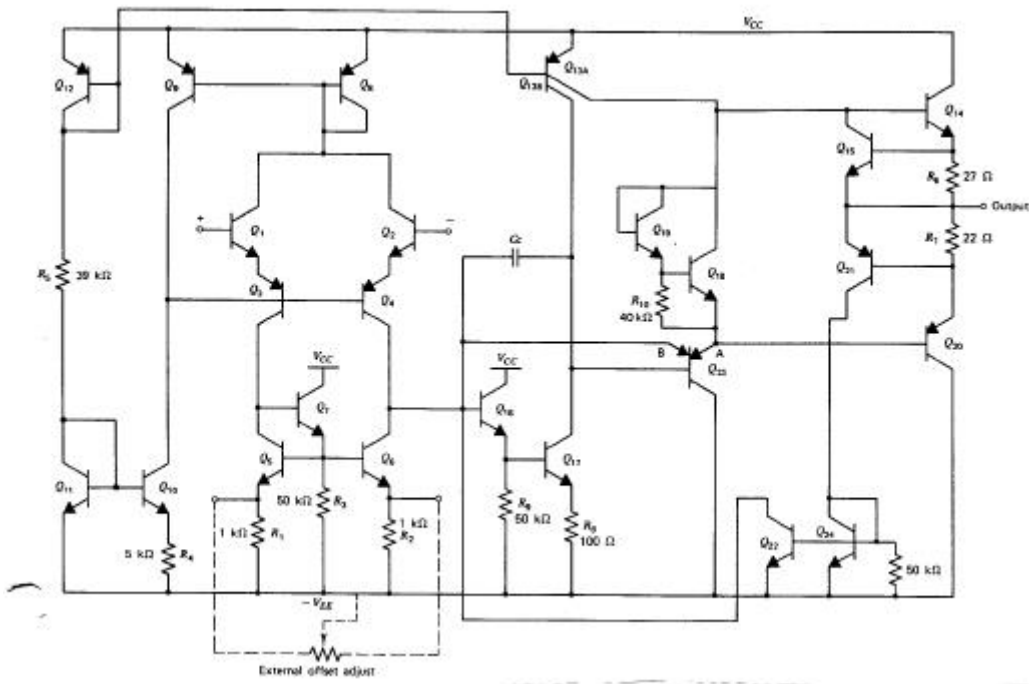
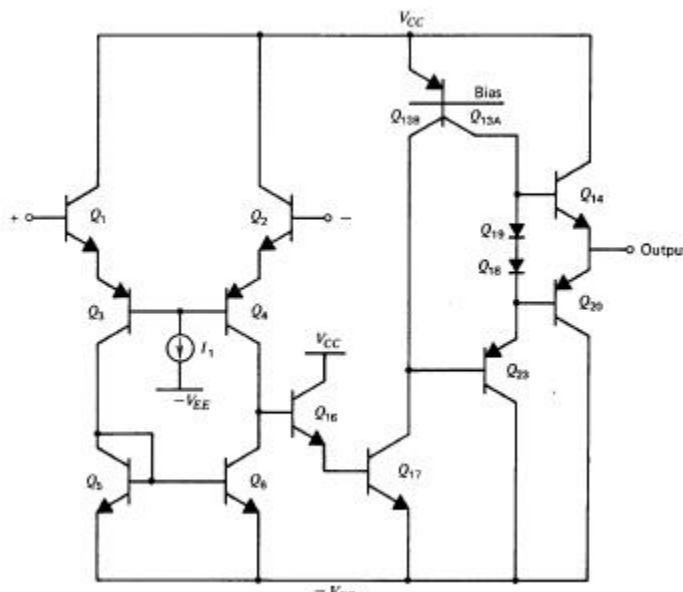


Figura 8.1. Bloques funcionales de un OA.

Los OAs integrados están constituidos por muy diversas y complejas configuraciones que dependen de sus prestaciones y de la habilidad del diseñador a la hora de combinarlas. Tradicionalmente, un OA está formado por cuatro bloques bien diferenciados conectados en cascada: amplificador diferencial de entrada, etapa amplificadora, adaptador y desplazamiento de nivel y etapa de salida. Estos bloques están polarizados con fuentes de corrientes, circuitos estabilizadores, adaptadores y desplazadores de nivel. La figura 8.1 muestra a nivel de bloque la configuración de un OA. La etapa diferencial presenta las siguientes características: tiene dos entradas (inversora y no inversora), su relación de rechazo en modo común es muy alto, las señales van directamente acopladas a las entradas y presentan una deriva de tensión de salida muy pequeña. El amplificador intermedio proporciona la ganancia de tensión suplementaria. Suele ser un EC con carga activa y está acoplada al amplificador diferencial a través de un seguidor de emisor de muy alta impedancia de entrada para minimizar su efecto de carga. El adaptador permite acoplar la etapa intermedia con la etapa de salida que generalmente es una clase AB.



a)



b)

Figura 8.2. Esquemático del OA 741. **a)** Esquema completo, **b)** Esquema simplificado.

La figura 8.2.a describe el esquema de OA 741. Este OA mantiene la filosofía del diseño de circuitos integrados: gran número de transistores, pocas resistencias y un condensador para compensación interna. Esta filosofía es el resultado de la economía de fabricación de dispositivos integrados donde se combina área de silicio, sencillez de fabricación y calidad de los componentes. El 741 requiere dos tensiones de alimentación que normalmente son de $\pm 15V$. La masa del circuito es el nudo común a las dos fuentes de alimentación. La figura 8.2.b describe la versión simplificada con los elementos circuitales más importantes. En este circuito se observa la etapa diferencial constituida por los transistores Q1 y Q2, la etapa amplificadora intermedia por Q16, Q17 y Q23,

y la etapa de salida *push-pull* por Q14 y Q20.

El OA es un amplificador de extraordinaria ganancia. Por ejemplo, el $\mu A741$ tiene una ganancia de 200.000 y el OP-77 (Precision Monolithics) de 12.000.000. En la figura 8.3 se muestra el símbolo de un OA. Aunque no se indica explícitamente, los OA son alimentados con tensiones simétricas de valor $\pm V_{cc}$; recientemente han sido puestos en el mercado OA de polarización simple (*single supply*). Las entradas, identificadas por signos positivos y negativos, son denominadas entradas invertidas y no-invertidas. Si denominamos V_p y V_n a las tensiones aplicadas a la entrada de un OA, se define la tensión de entrada en modo diferencial (V_d) y modo común (V_c) como

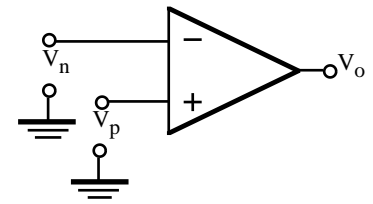


Figura 8.3. Símbolo de OA,

$$\begin{aligned} V_d &= V_p - V_n \\ V_c &= \frac{V_p + V_n}{2} \end{aligned} \quad (8.1)$$

La tensión de salida se expresa como

$$V_o = A_d V_d + A_c V_c \quad (8.2)$$

La A_d , denominada ganancia en modo diferencial, viene reflejada en las hojas de características del OA como *Large Signal Voltage Gain* o *Open Loop Voltage Gain*. La A_c , o ganancia en modo común no se indica directamente, sino a través del parámetro de relación de rechazo en modo común o CMRR (*Common-Mode Rejection Ratio*) definido como

$$CMRR = \frac{A_d}{A_c} \quad \text{o} \quad CMRR(\text{dB}) = 20 \log \frac{A_d}{A_c} \quad (8.3)$$

El $\mu A741$ tiene un CMRR típico de 90dB. Fácilmente se demuestra que sustituyendo la ecuación 8.3 en 8.2 resulta

$$V_o = A_d V_d \left\{ 1 + \frac{1}{CMRR} \frac{V_c}{V_d} \right\} \quad (8.4)$$

8.2.- El OA ideal

Un OA ideal, indicado esquemáticamente en la figura 8.4, presenta las siguientes características:

- 1) Resistencia de entrada ∞ .
- 2) Resistencia de salida 0.
- 3) Ganancia en tensión en modo diferencial ∞ .
- 4) Ganancia en tensión en modo común 0 (CMRR = ∞).
- 5) Corrientes de entrada nulas ($I_p = I_n = 0$).
- 6) Ancho de banda ∞ .
- 7) Ausencia de desviación en las características con la temperatura.

Las características 1) y 2) definen, desde el punto de vista de impedancias, a un amplificador de tensión ideal

que no está afectado por el valor de la carga que se conecta a su salida. Por otra parte, las características 4) y 5) aplicadas a la ecuación 8.2 crean una indeterminación ya que al ser $A_d = \infty$ $V_o = A_d V_d$ debería ser infinito. Sin embargo, esa indeterminación se resuelve cuando $V_d = 0$; el producto $A_d V_d$ da como resultado un valor finito. Por ello, la entrada del OA ideal tiene corrientes de nulas ($I_p = I_n = 0$) y verifica que $V_p = V_n$ (en el caso de realimentación negativa); este modelo simplifica mucho el análisis de circuitos basados en el OA. El modelo del OA ideal solo es un concepto idealizado del OA real que sin embargo resulta muy práctico y se acerca con mucha exactitud al comportamiento real de estos circuitos.

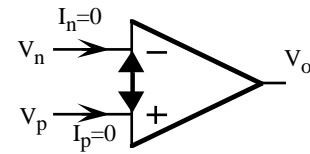


Figura 8.4. Representación del OA ideal.

8.3.- Configuraciones básicas del OA

• **Amplificador inversor.** La ganancia en tensión del amplificador inversor (figura 8.5) se obtiene analizando el circuito y aplicando las características del OA ideal. Si las corrientes a través de las líneas de entrada son nulas, se cumple

$$\frac{V_i}{R_1} = \frac{V_o}{R_2} \tag{8.5}$$

En el OA ideal $V_n = V_p$. Pero en este caso $V_p = 0$ $V_n = 0$, y por ello, a este nudo se le denomina masa virtual al tener una tensión de 0. Si $V_n = 0$, sustituyendo en la ecuación 8.5 resulta que la ganancia vale

$$A = \frac{V_o}{V_i} = -\frac{R_2}{R_1} \tag{8.6}$$

El término inversor es debido al signo negativo de esta expresión que indica un desfase de 180° entre la entrada y salida. La impedancia de entrada de este circuito es R_1 .

• **Amplificador no-inversor.** La ganancia en tensión del amplificador no-inversor (figura 8.6) se resuelve de manera similar al anterior caso a partir de las siguientes ecuaciones

$$\begin{cases} V_n = \frac{R_1}{R_2 + R_1} V_o \\ V_n = V_p = V_i \end{cases} \tag{8.7}$$

resultando que

$$A = \frac{V_o}{V_i} = 1 + \frac{R_2}{R_1} \tag{8.8}$$

La impedancia de entrada es .

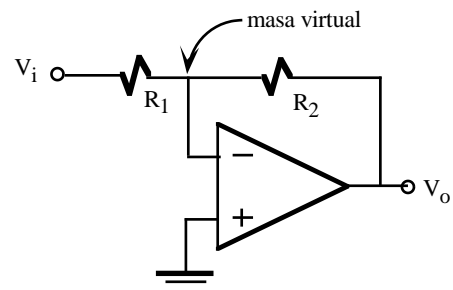


Figura 8.5. Amplificador inversor.

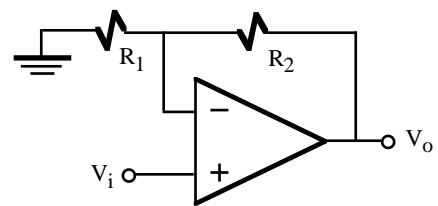


Figura 8.6. Amplificador no-inversor.

• **Seguidor.** Por último, la configuración seguidor (figura 8.7) tiene una ganancia $A_V=1$, pero la impedancia de entrada y salida de este circuito valen $Z_i \approx A_d R_i$ y $Z_o \approx R_o / A_d$, siendo R_i y R_o las impedancias de entrada y salida del OA. Por ejemplo, el 741 tiene las siguientes características: $A_d=200.000$, $R_i=1M\Omega$ y $R_o=75\Omega$. Aplicando las anteriores relaciones, se obtiene que las impedancias de entrada y salida del seguidor valen $Z_i=2 \cdot 10^{10}\Omega$ y $Z_o=3.7 \cdot 10^{-4}\Omega$.

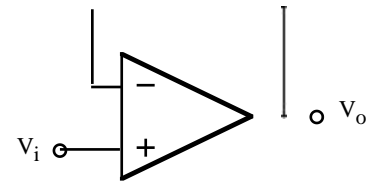


Figura 8.7. Amplificador seguidor.

8.4.- Otras configuraciones básicas del OA

• **Amplificador sumador.** El circuito mostrado en la figura 8.8, como su propio nombre indica, permite sumar algebraicamente varias señales analógicas. La tensión de salida se expresa en términos de la tensión de entrada como

$$V_o = R_f \left(\frac{V_1}{R_1} + \frac{V_2}{R_2} + \frac{V_3}{R_3} + \dots \right) = R_f \sum_{i=1}^N \left(\frac{V_i}{R_i} \right) \tag{8.9}$$

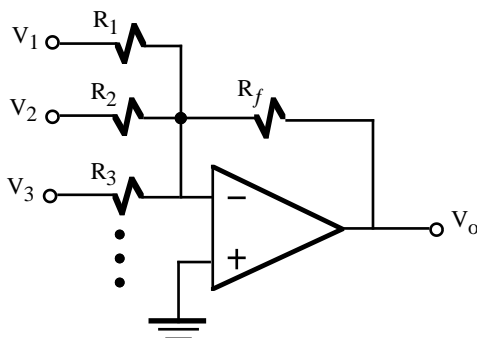


Figura 8.8. Amplificador sumador.

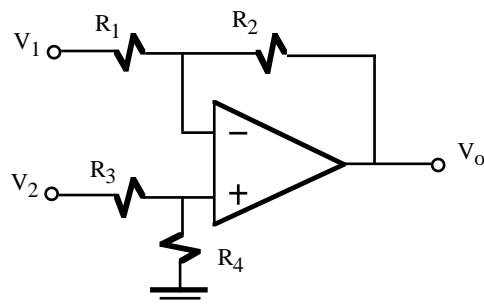


Figura 8.9. Amplificador restador.

• **Amplificador restador.** Analizando el circuito de la figura 8.9, fácilmente se obtiene la siguiente expresión

$$V_o = \left(\frac{R_2}{R_1} \right) \left(\frac{R_4}{R_3 + R_4} v_2 - \frac{R_2}{R_1 + R_2} v_1 \right) \tag{8.10}$$

Si se verifica la siguiente relación entre las resistencias

$$\frac{R_4}{R_3} = \frac{R_2}{R_1} \tag{8.11}$$

se obtiene la expresión simplificada que indica como la tensión de salida es función de la diferencia de las tensiones de entrada:

$$V_o = \frac{R_2}{R_1} (V_2 - V_1) \tag{8.12}$$

• **Integrador y derivador.** Un integrador se obtiene sustituyendo en la configuración inversora la resistencia de realimentación por un condensador. La relación que existe entre la tensión y corriente a través de un condensador es

$$I = C \frac{dV}{dt} \tag{8.13}$$

Al aplicar esta ecuación al circuito de la figura 8.10.a resulta que la tensión de salida es la integral de una señal analógica a la entrada

$$V_o = \frac{1}{RC} \int V_i(t) dt + Cte \tag{8.14}$$

donde Cte depende de la carga inicial del condensador. El circuito dual mostrado en la figura 8.10.b implementa la ecuación diferencial

$$V_o = RC \frac{dV_i}{dt} \tag{8.15}$$

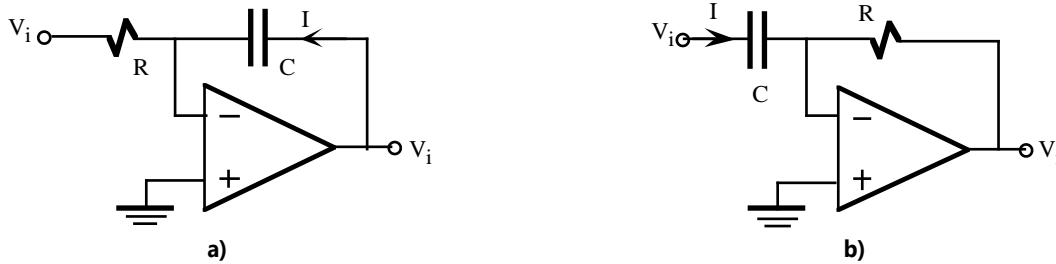


Figura 8.10. a) Integrador, b) derivador

• **Logarítmico y antilogarítmico (exponencial).** Un amplificador inversor cuya resistencia de realimentación es sustituida por un diodo, tal como se muestra en la figura 8.11.a, se comporta como un circuito cuya salida es proporcional al logaritmo de la tensión de entrada. Esta relación se obtiene a partir de la característica tensión-corriente del diodo que aplicado a este circuito es

$$I_d = I_S \left(\exp\left\{ \frac{|V_T|}{V_T} \right\} - 1 \right) \tag{8.16}$$

$$\frac{V_o}{R} = I_d$$

En el caso de que $-V_o / V_T \gg 1$, el 1 es despreciable frente al término exponencial. Y como $V_i = I_d R$, la relación logarítmica buscada es

$$V_o = |V_T \ln \frac{V_i}{R I_S} = |V_T \ln V_i \quad \text{Cte.} \quad (8.17)$$

La figura 8.11.b describe la versión del amplificador logarítmico basado en un transistor bipolar NPN. La versión dual de estos circuitos se indican en las figuras 8.12.a y 8.12.b. Fácilmente se comprueba que la

expresión de este amplificador exponencial es

$$V_o = I_S R \exp(V_i / V_T) \tag{8.18}$$

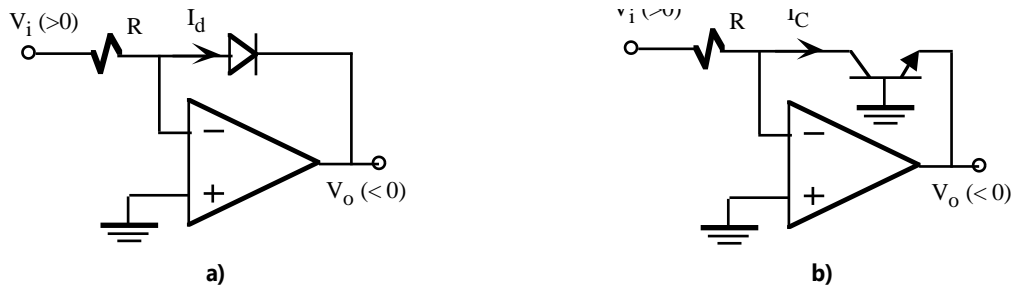


Figura 8.11. Amplificador logarítmico. **a)** basado en un diodo , **b)** basado en un transistor bipolar.

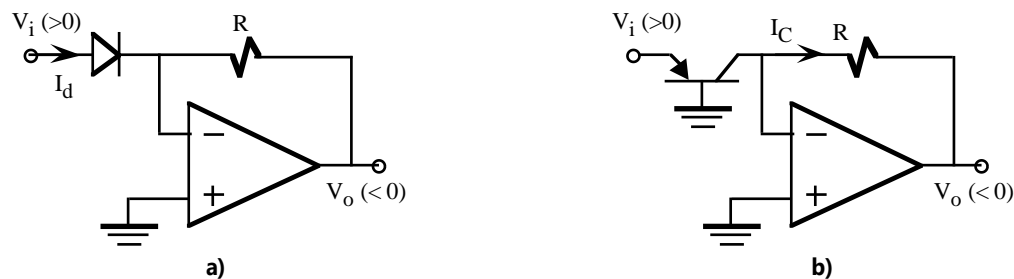


Figura 8.12. Amplificador antilogarítmico o exponencial. **a)** basado en un diodo , **b)** basado en un transistor bipolar.

8.5.- Limitaciones prácticas del OA

El OA real tiene unas limitaciones y especificaciones que pueden ser importantes en algunas aplicaciones. En este apartado se presentan las especificaciones más importantes en dominio DC, transitorio y frecuencia propias de cualquier OA.

8.5.1.- Tensiones y corrientes "off-set" de entrada

Un OA debe tener 0V a su salida cuando la entrada vale 0V. Sin embargo, en amplificadores reales no es cierto y aparece indeseables tensiones de salida del orden de decenas a centenas de mV en ausencia de señal de entrada. Este efecto es debido a las corrientes de entrada y disimetrías de la etapa diferencial. El modelo de este comportamiento se realiza a través de los siguientes parámetros: tensión *off-set* de entrada o V_{OS} (*input offset voltage*), corriente *off-set* de entrada I_B (*input offset current*) y corriente de polarización de entrada I_{OS} (*input bias current*). Para el OA 741, estos parámetros valen $V_{OS}=1mV$, $I_{OS}=20nA$ e $I_B=80nA$. En la figura 8.13 se indica el modelo utilizado para caracterizar estos parámetros. La I_{OS} e I_B la se definen a partir de las corrientes de entrada del OA como:

$$I_{OS} = I_p - I_n \quad , \quad \frac{I_p - n}{2I} \tag{8.19}$$

Existen versiones de OA que reducen al mínimo estos parámetros aunque a veces implique degradar otros aspectos de ejecución y encarecer su precio. Por ejemplo, la utilización de transistores superbeta en la etapa

diferencial de entrada permiten obtener lograr que la $I_{OS}=1.52nA$ y la $I_B=0.2nA$ en el LM308 y LM312 (National Semiconductor); el OP-08 (Precision Monolithics) consigue una $I_{OS}=0.08nA$ y una $I_{OS}=1nA$. La técnica de cancelación de I_B se aplica al LT1008 (Linear Technology) para lograr que $I_{OS}=30pA$ e $I_B=\pm 30pA$. OAs cuya entrada diferencial esté constituido por transistores JFET tienen valores de $I_{OS}=3pA$ e $I_B=\pm 30pA$ como el LF355 (National Semiconductor) y llegar incluso a valores por debajo de 100fA como en AD549 (Analog Devices) y OPA-128 (Burr-Brown). Similares valores se obtienen para tecnologías Bi-MOS y CMOS. Por ejemplo, el CA3130 de RCA en BiMOS ($I_{OS}=0.1pA$ e $I_B=\pm 2pA$) y la serie ICL761 de Intersil en CMOS ($I_{OS}=0.5pA$ e $I_B=\pm 1pA$) son claros ejemplos. El OP-27 (Precision Monolithics) está diseñado para tener una baja V_{OS} (10 μ V). Las técnicas más utilizadas para la cancelación de estos parámetros se basan en aplicar una tensión de entrada determinada y ajustable a través de un potenciómetro externo conectado a la alimentación del OA que permite poner la salida a 0 en ausencia de señal y anular los efectos de *offset*. En algunos casos, como sucede en el 741, se utilizan dos salidas externas etiquetadas como *offset null* en donde se conecta un potenciómetro que permite la eliminación del *offset* (figura 8.14).

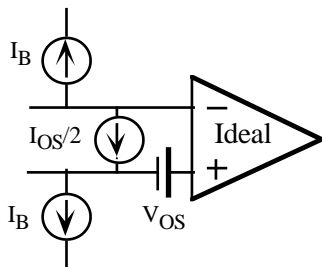


Figura 8.13. Modelo de un OA con corrientes y tensiones "offset".

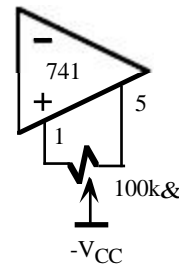


Figura 8.14. Corrección externa en el OA 741 para anular los efectos "offset".

8.5.2.- Parámetros de frecuencia

Los OA son diseñados para tener alta ganancia con un ancho de banda elevado, características que les hacen ser inestables con tendencia a la oscilación. Para asegurar estabilidad en su operación es preciso utilizar técnicas de compensación internas y/o externas que limitan su operación. El ejemplo más típico se encuentra en el 741 con un condensador interno de 3pF que introduce una frecuencia de corte superior (f_C) de 5Hz como se observa en la figura 8.14. A la frecuencia en la cual la ganancia toma 1 se denomina *ancho de banda de ganancia unidad* o f_1 . Una relación importante que verifica el OA es

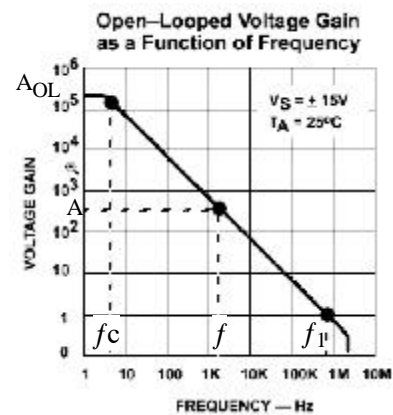


Figura 8.14. Respuesta en frecuencia del OA 741.

$$A_{OL} \cdot f_1 = A_{OL} \cdot f_c = 1 \tag{8.20}$$

Esta ecuación demuestra que a la frecuencia de ganancia unidad también puede ser denominada producto ganancia-ancho de banda del OA. La relación 8.20 indica que el ancho de banda aumenta en la misma proporción que disminuye su ganancia, siendo el producto de ambas una constante que corresponde que la frecuencia f_1 . En la configuración inversora y no-inversora de las figuras 8.5 y 8.6, se demuestra que la frecuencia de corte superior f_C de estos amplificadores vale

$$\square C = \frac{\square_1}{1 + \frac{R_2}{R_1}}$$

(8.21)

8.5.3.- Slew-Rate

Otro parámetro que refleja la capacidad del OA para manejar señales variables en el tiempo es el *slew-rate* (SR) definido como la máxima variación de la tensión de salida con el tiempo que puede proporcionar la etapa de salida del OA; se mide en V/μs y se expresa como

$$SR = \frac{V_o}{t} \quad (V/\mu s) \tag{8.22}$$

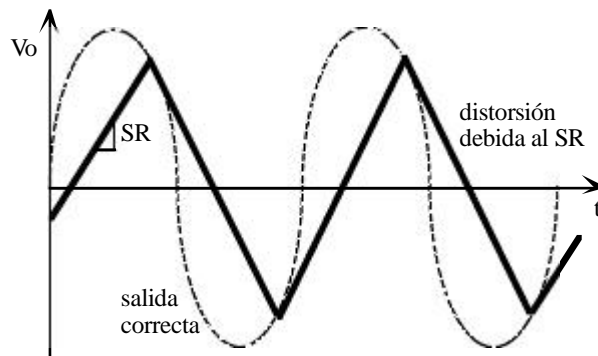


Figura 8.15. Efecto de la distorsión debida al SR en la salida de un OA.

El SR del OA 741 vale 0.5V/μs. Al intentar variar la tensión de salida con un valor mayor que el SR se producirá una distorsión o recorte de esa señal y el OA perdería sus características lineales. En la figura 8.15 se indica la distorsión típica que se aparece cuando se ha superado largamente el SR. En vez de obtener una onda sinusoidal se produce una especie de onda triangular cuya pendiente es efectivamente el valor de SR. Es importante determinar las condiciones a las cuales aparece el SR. Para ello, se supone una salida sinusoidal del OA de la forma

$$V_o = V_A \text{sen}(2\pi ft) \tag{8.23}$$

La pendiente de V_o se determina derivando la ecuación 8.23

$$\frac{dV_o}{dt} = V_A 2\pi f \cos(2\pi ft) \tag{8.24}$$

El valor máximo de esta pendiente se producirá cuando el $\cos(2\pi ft)=1$, resultando que

$$\left. \frac{dV_o}{dt} \right|_{MAX} = V_A 2\pi f \tag{8.25}$$

Esta pendiente no solo depende de la frecuencia de la señal sino de la amplitud de la tensión de salida. Solamente habrá distorsión a la salida cuando se verifique que $V_A 2\pi f > SR$. La distorsión aparecerá en primer lugar por el paso por 0 de la señal sinusoidal y es prácticamente imperceptible. Si $V_A 2\pi f \gg SR$, entonces la distorsión es muy grande respondiendo el OA con una señal similar a la indicada en la figura 8.15.

La máxima frecuencia f_{MAX} con que puede operar un OA no depende solamente del ancho de banda (f_c), sino que puede estar limitada por el SR. Para determinar esa frecuencia, se resuelve las siguientes desigualdades

$$\begin{aligned} \omega_C \leq \frac{SR}{V_A} &\Rightarrow \omega_{MAX} = \omega_C \quad (\text{limita el ancho de banda}) \\ \omega_C > \frac{SR}{V_A} &\Rightarrow \omega_{MAX} = \frac{SR}{V_A} \quad (\text{limita el SR}) \end{aligned} \quad (8.26)$$

8.5.4.- Otros parámetros

Rango de tensión de entrada o input voltage range. Máxima diferencia de tensión a la entrada del OA. El OA 741 tiene un rango de entrada de $\pm 13V$.

Máxima variación de rango de tensión de salida o maximum peak output voltage swing. Indica para una alimentación de $\pm 15V$, el valor de tensión más alta que se puede esperar a la salida del OA. El OA 741 es de $\pm 14V$.

Resistencia y capacidad de entrada o input resistance and capacitance. Resistencia y capacidad equivalente en lazo abierto vista a través de los terminales de entrada. Para el OA 741 es de $2M\Omega$ y $1.4pF$, respectivamente.

Resistencia de salida o output resistance. El OA 741 tiene una resistencia de salida de 75Ω .

Consumo de potencia o total power dissipation. Consumo de potencia DC en ausencia de señal y para una tensión de alimentación de $\pm 15V$. El OA 741 es de $50mW$.

Máxima corriente de salida o output short circuit current. Corriente máxima de salida limitada por el circuito de protección. El OA 741 tiene $25mA$.

Variación máxima de la tensión de salida o output voltage swing. Es la amplitud pico-pico máxima que se puede conseguir sin que se produzca recorte. El OA 741 es de ± 13 a $\pm 14V$ para $V_{CC} = \pm 15V$.

Problemas

Nota: Si no se indica lo contrario, se debe utilizar el modelo ideal del OA.

- P8.1** Para el circuito de la figura P8.1, se pide:
- Obtener la expresión de la tensión de salida V_o en términos de las tensiones de entrada V_1 y V_2 .
 - Calcular y representar gráficamente el valor de V_o si $V_1=0.3$ V senwt y $V_2=1$ V.
 - Si el OA es capaz de proporcionar una intensidad de salida máxima de 50mA, determinar el rango de valores permitidos de R_L .

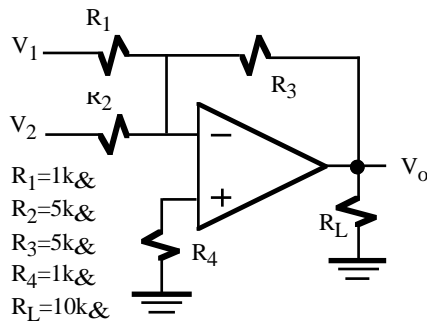


Figura P8.1

- P8.2** Calcular el valor de V_o del circuito de la figura P8.2 si $V_1=0.5$ V y $V_2=0.4$ V senwt.
 Nota: Aplicar superposición y considerar frecuencias medias.

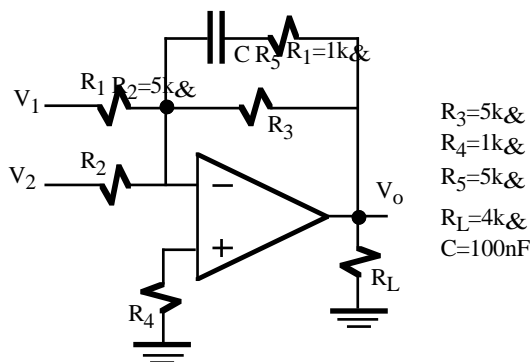


Figura P8.2

- P8.3** En los circuitos de la figuras P8.3.(a hasta .h), determinar la tensión de salida V_o en términos de las tensiones de entrada.

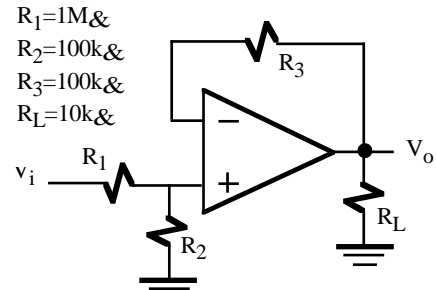


Figura P8.3.a

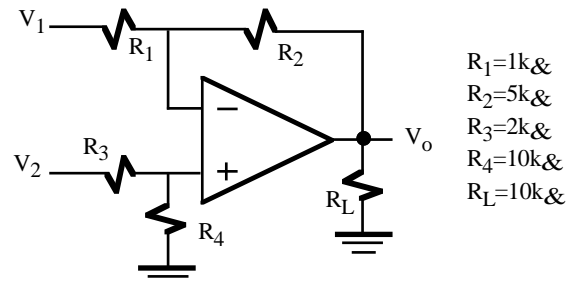


Figura P8.3.b

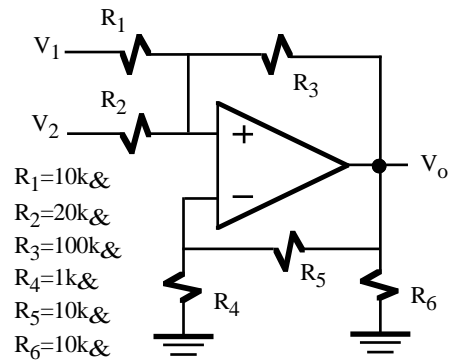


Figura P8.3.c

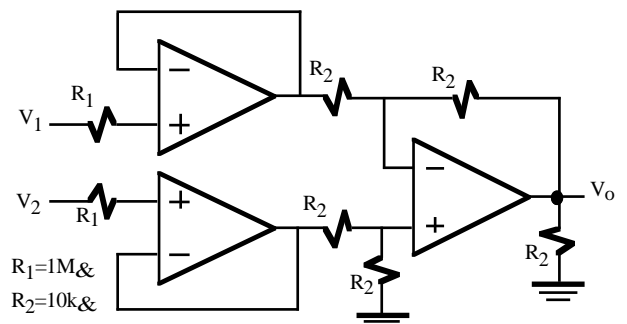


Figura P8.3.d

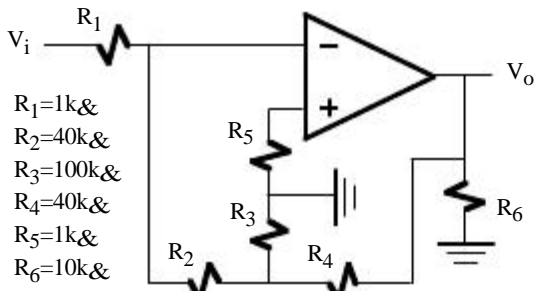


Figura P8.3.e

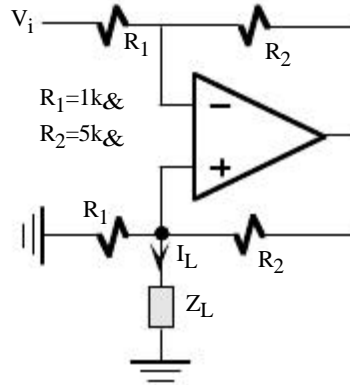


Figura P8.4

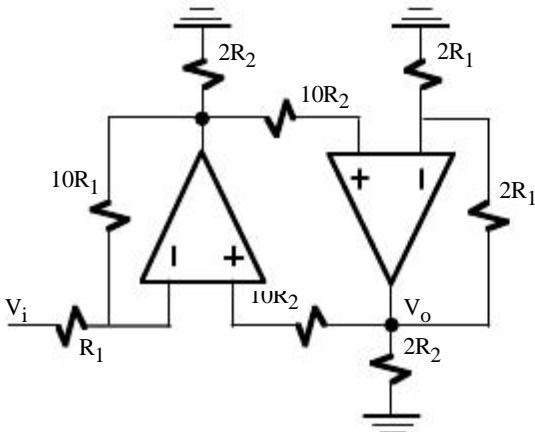


Figura P8.3.f

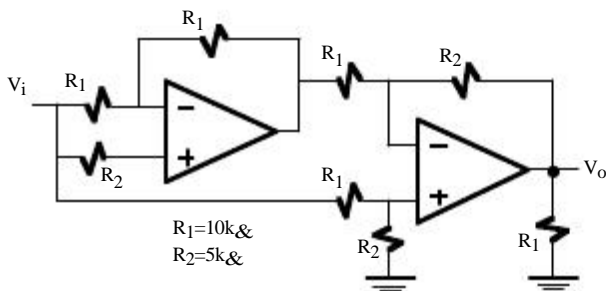


Figura P8.3.g

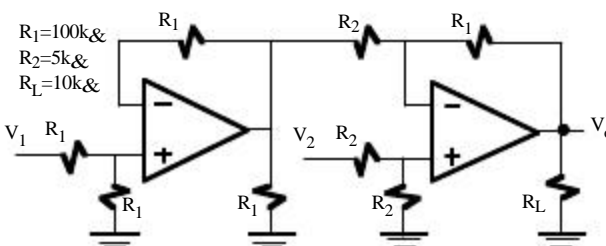
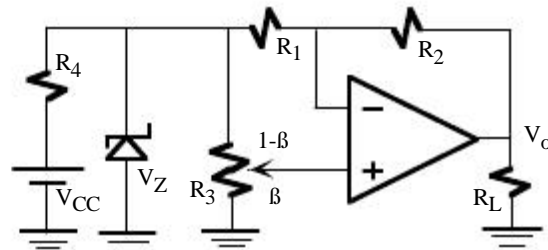


Figura P8.3.h

P8.4 El circuito de la figura P8.4 es una fuente de corriente Howland. Demostrar que la I_L es independiente del valor de Z_L y obtener la relación entre V_i e I_L .

P8.5 Para el circuito de la figura P8.5, representar gráficamente V_o en función de la resistencia variable especificada a través del parámetro β , $0 \leq \beta \leq 1$.



$R_1=2k\Omega$ $R_2=1k\Omega$ $R_3=5k\Omega$
 $R_4=10k\Omega$ $R_L=5k\Omega$ $V_Z=2.5V$
 $V_{CC}=15V$

Figura P8.5

P8.6 En el circuito de la figura P8.6, el amplificador diferencial cuya $A_d=100$ permite medir la diferencia de temperatura entre dos hornos. Para ello, se utiliza un puente de equilibrado con dos termistores R_1 y R_2 que se encuentran dentro de cada horno que tienen una temperatura de T_1 y T_2 , respectivamente. Los termistores en su rango lineal se comportan como resistencias dependientes de la temperatura que verifican la siguiente relación: $R=K_e \cdot T^{0.98}$, donde T es la temperatura en $^{\circ}K$ y $K_e=100\Omega/^{\circ}K$. Si en el primer horno la temperatura es de $T_1=250^{\circ}K$ y en el segundo $T_2=300^{\circ}K$, calcular el valor de V_o . Proponer un amplificador diferencial que tenga una $Z_i=$ y $A_d=100$.

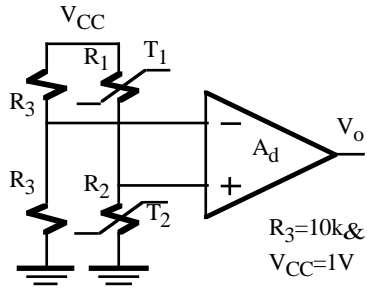


Figura P8.6

P8.7 Demostrar que el circuito de la figura P8.7 se comporta como una fuente de intensidad controlada por la tensión de entrada V_i , $V_i > 0$. Dato: $h_{FE}=5$.

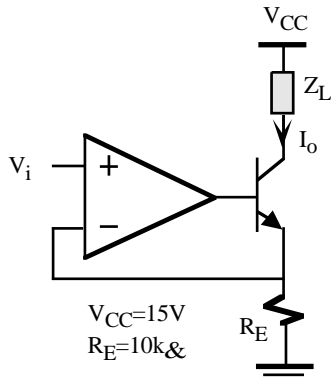


Figura P8.7

P8.8 Comprobar que el circuito de la figura P8.8 se comporta como una fuente de intensidad de valor I_o . Determinar I_o y el rango de valores de R_L para que el circuito funcione correctamente. Dato: $h_{FE}=100$.

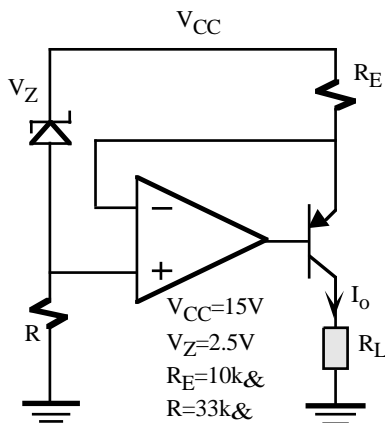
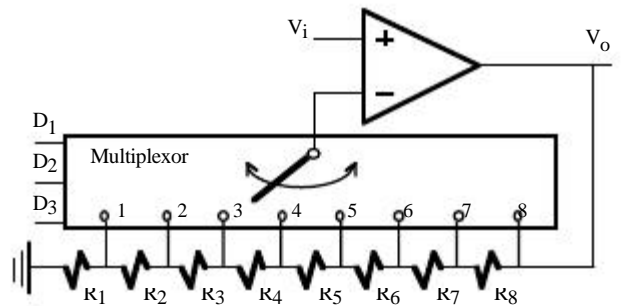


Figura P8.8

P8.9 El circuito de la figura P8.9 es un amplificador no inversor cuya ganancia G se programa digitalmente desde $G=1$ hasta $G=8$ en incrementos de valor 1 a través de las líneas de entrada D_1 , D_2 y D_3 . Este amplificador está constituido por un multiplexor que conecta el terminal $-$ del OA a uno de los nudos de la cadena de resistencias en función del estado lógico de D_1 , D_2 y D_3 , según se indica en la tabla. Si $R_1=1k\Omega$, y tanto el multiplexor como el OA se consideran ideales, determinar R_2 a R_8 que fijen la ganancia G del amplificador al valor especificado en la tabla.



D_1	D_2	D_3	Pos.	G
0	0	0	1	8
0	0	1	2	7
0	1	0	3	6
0	1	1	4	5
1	0	0	5	4
1	0	1	6	3
1	1	0	7	2
1	1	1	8	1

Figura P8.9

P8.10 Obtener la expresión de la impedancia de entrada Z_i del circuito de la figura P8.10.

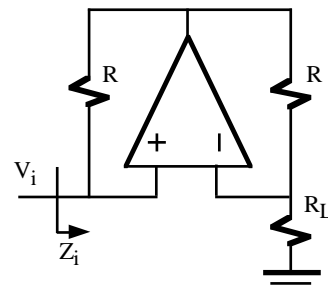


Figura P8.10

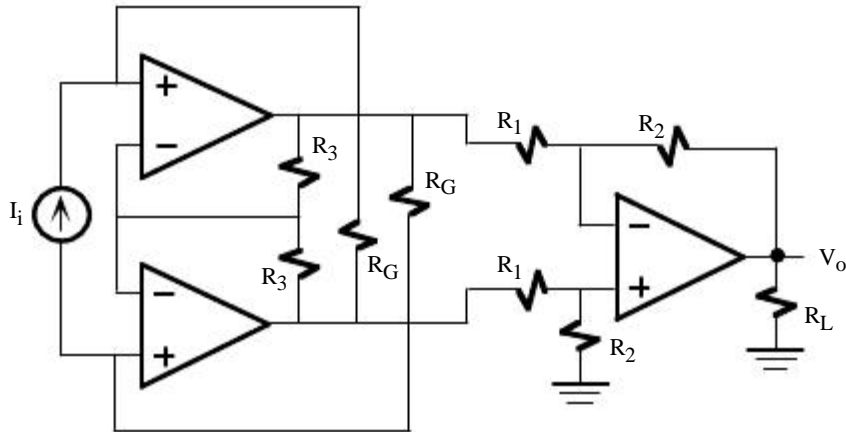


Figura P8.11

P8.11 El circuito de la figura P8.11 es un convertidor corriente-tensión. Obtener la expresión que relaciona la tensión de salida V_o con la corriente de entrada I_i .

P8.12 Para el amplificador de la figura P8.12, se pide:

- a) Obtener V_o en función de V_1 y V_2 . ¿De qué tipo de circuito se trata?.
- b) Calcular el rango de valores de R_G para que la ganancia (en módulo) esté comprendida entre 10 y 100.

Datos: $R_1=R_2=10k\Omega$, $R_3=R_L=3k\Omega$.

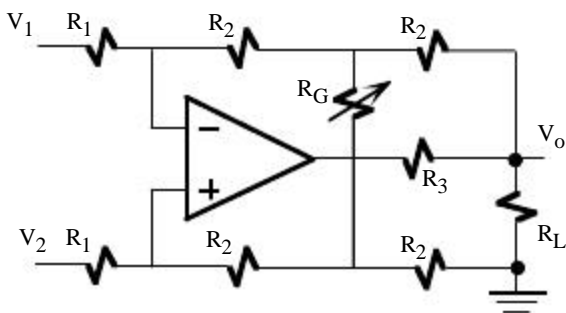
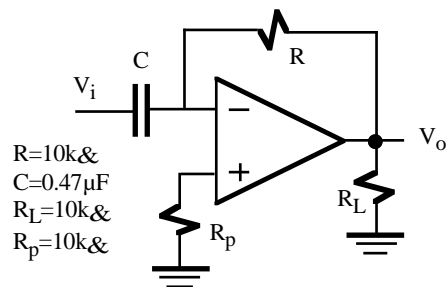


Figura P8.12

P8.13 La entrada del amplificador diferenciador de la figura P8.13 es una onda triangular simétrica de 1kHz. Representar gráficamente la forma de onda de salida.



$R=10k\Omega$
 $C=0.47\mu F$
 $R_L=10k\Omega$
 $R_p=10k\Omega$

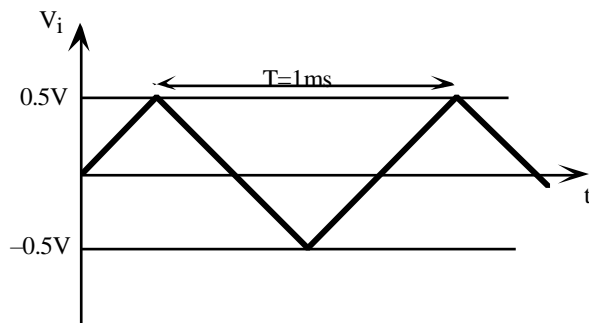
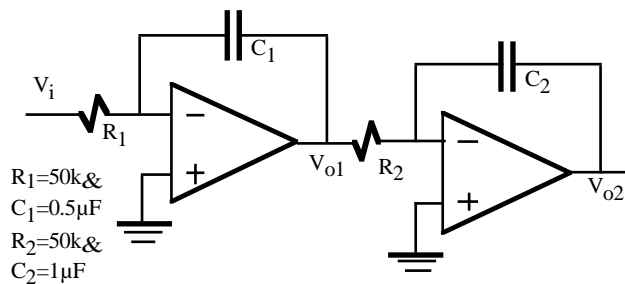


Figura P8.13

P8.14 Representar gráficamente las tensiones de salida V_{o1} y V_{o2} entre $t=0$ y $t=0.5s$ de los circuitos integradores conectados en cascada de la figura P8.14, supuesto $V_i=1V$. Nota: Asumir que los condensadores inicialmente están descargados.



$R_1=50k\Omega$
 $C_1=0.5\mu F$
 $R_2=50k\Omega$
 $C_2=1\mu F$

Figura P8.14

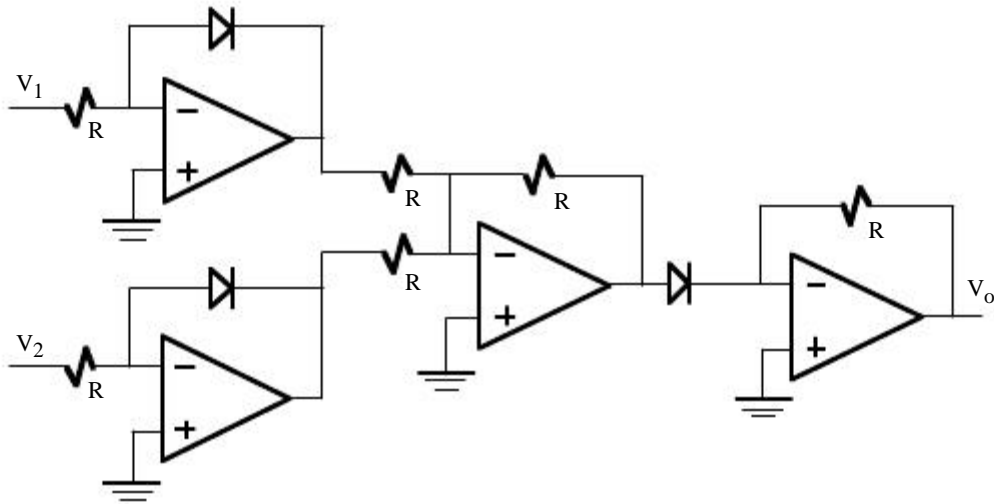


Figura P8.15.a

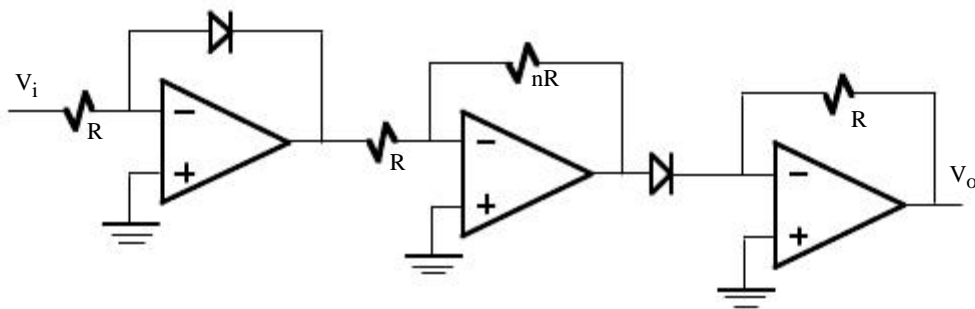


Figura P8.15.b

P8.15 Obtener las funciones analógicas de los circuitos de las figuras P8.15.a y P8.15.b. Comprobar la compatibilidad de los signos de las tensiones.

P8.16 Diseñar un circuito basado en AO's que realice la función analógica $V_o = (V_x)^2 \cdot (V_y)^3$, siendo V_x y V_y dos señales analógicas de entrada; el circuito debe funcionar correctamente con tensiones positivas. Nota: Poner todas las resistencias utilizadas en términos de una resistencia genérica R.

P8.17 Obtener V_o en función de V_i del amplificador logarítmico de la figura P8.17 suponiendo que ambos transistores son idénticos.

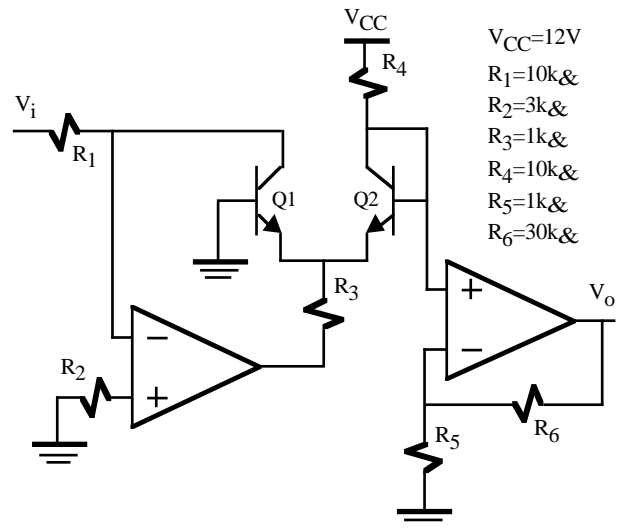


Figura P8.17

P8.18 Los amplificadores inversor y no inversor de las figuras P8.18.a y P8.18.b han sido realizados con el amplificador operacional 741. Si V_i es una onda sinusoidal de 0.4 V de amplitud, calcular la frecuencia máxima de

operación de ambos amplificadores especificando si está limitada por la frecuencia de corte superior o por el *Slew-Rate*. Determinar la amplitud de entrada para la cual la frecuencia de corte del amplificador y la frecuencia limitada por el *Slew-Rate* coinciden.

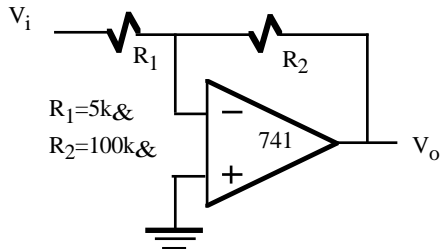


Figura P8.18.a

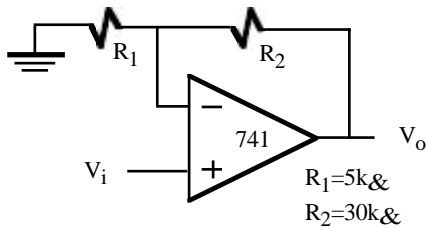
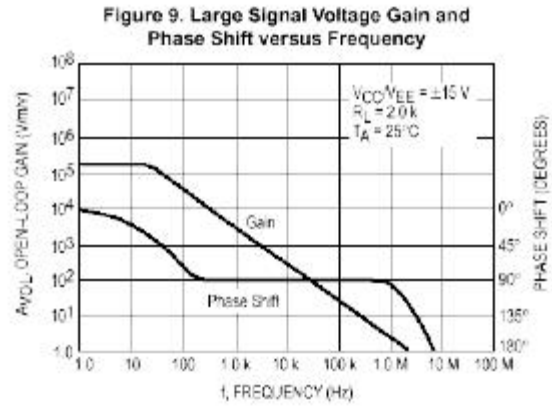


Figura P8.18.b

P8.19 La figura P8.19 incluye a parte de las características eléctricas proporcionadas por el fabricante del amplificador operacional TL081C.

- ¿Qué representa el término *Unity Gain Bandwidth* y cómo se puede obtener a partir de la gráfica de respuesta en frecuencia?
- Obtener su frecuencia de corte superior e inferior utilizando los datos proporcionados en la tabla.
- Repetir el problema P8.18 si se reemplaza el 741 por el TL081C.
- Se desea construir un amplificador de audio con este OA. Determinar la máxima ganancia de este amplificador si su ancho de banda debe ser de 20kHz.



Characteristics	Symbol	Min	Typ	Max	Unit
Unity Gain Bandwidth	GBW	-	4.0	-	MHz
Slew Rate (See Figure 7)	SR	-	10	-	V/μs
*Vi = 10 V, Ri = 2.0 k, Ci = 100 pF					
Large Signal Voltage Gain (Fig. 9)	AvCL	25	150	-	V/mV
TA = 25°C		50	150	-	
TL081C					

Figura P8.19

P8.20 Obtener la curva de transferencia en tensión (VTC) de los circuitos de las figura P8.20.a a P8.20.d. Datos: $V_d=0.7$ V.

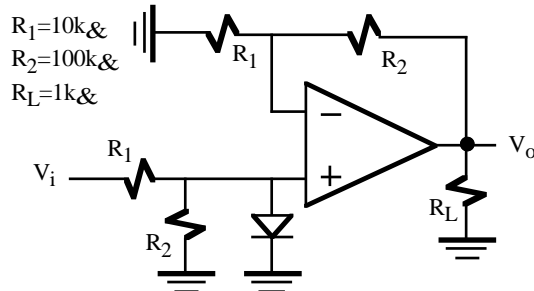


Figura P8.20.a

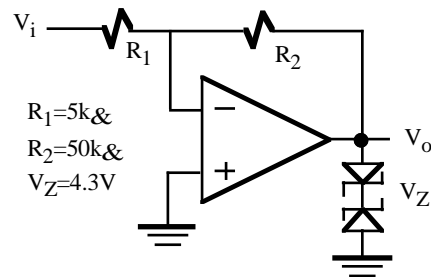


Figura P8.20.b

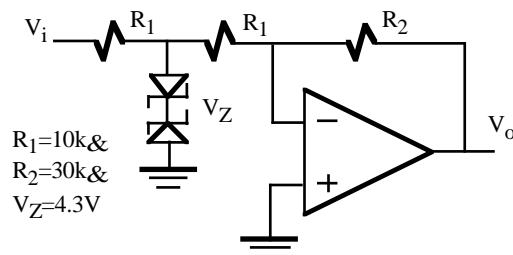


Figura P8.20.c

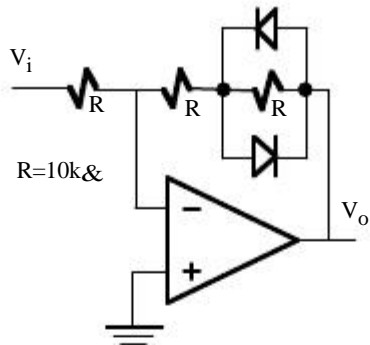
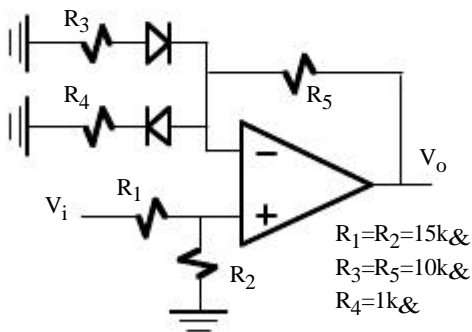


Figura P8.20.d

- P8.21** Para el circuito de la figura P8.21, se pide:
- Obtener la curva de transferencia en tensión (VTC) supuesto los diodos ideales ($V_d=0$).
 - Obtener la VTC supuesto los diodos con una $V_d=0.7V$.
 - Utilizando los resultados de b), representar gráficamente la V_o para la V_i descrita en la gráfica de la figura.



$R_1=R_2=15k\Omega$
 $R_3=R_5=10k\Omega$
 $R_4=1k\Omega$

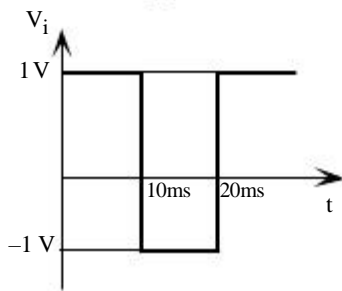
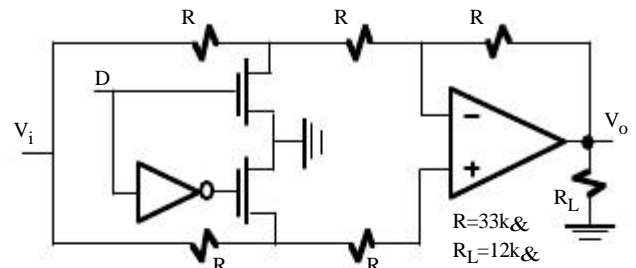


Figura P8.21

- P8.22** El circuito de la figura P8.22 tiene dos líneas de entrada: una analógica, V_i , y otra digital, D que puede ser "0" o "1". Se pide:
- Expresar V_o en función de V_i y D .
 - Representar gráficamente V_o para las señales V_i y D indicadas en la figura.
- Nota: Los transistores NMOS son ideales y

pueden ser sustituidos por una llave cerrada cuando se aplica un "1" lógico a su puerta y una llave abierta en caso contrario.



$R=33k\Omega$
 $R_L=12k\Omega$

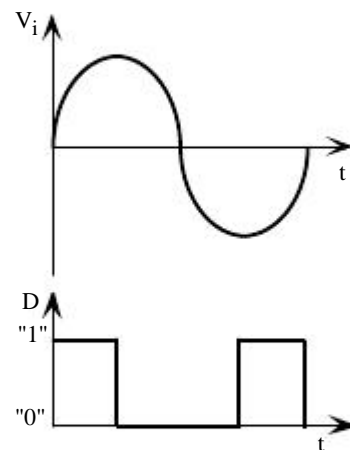


Figura P8.22

- P8.23** En la figura P8.23 se muestra un circuito *Sample&Hold* (muestreo y mantenimiento) que es un elemento importante de los convertidores Analógico-Digitales. Este circuito permite muestrear una señal analógica de entrada (V_i) en sincronismo con una señal digital CLK. En este caso, el transistor NMOS puede ser sustituido por una llave ideal controlada por CLK que permite realizar dos operaciones: *hold* (mantenimiento del dato analógico en el condensador C) si $CLK=0$ y transistor NMOS cortado, y *sample* (muestreo del dato de entrada) si $CLK=1$ y transistor conduce. Representar gráficamente la señal de salida (V_o) para la señal de entrada V_i y CLK indicada en la figura.
- Nota: Despreciar los tiempos de carga y descarga del condensador C y considerar al transistor NMOS ideal.

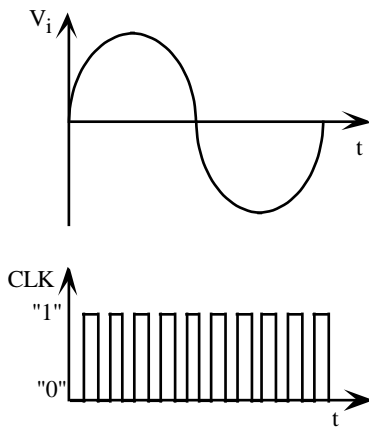
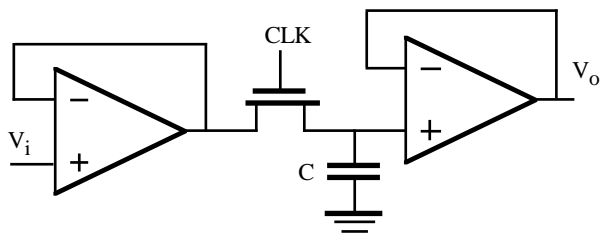


Figura P8.23

TEMA 9

Comparadores de tensión

9.1.- Introducción: El OA como comparador

Los comparadores son circuitos no lineales que, como su nombre indica, sirven para comparar dos señales (una de las cuales generalmente es una tensión de referencia) y determinar cuál de ellas es mayor o menor. La tensión de salida tiene dos estados (binaria) y se comporta como un convertidor analógico-digital de 1 bit. Su utilización en las aplicaciones de generación de señal, detección, modulación de señal, etc, es muy importante y constituye un bloque analógico básico en muchos circuitos.

La función del comparador es comparar dos tensiones obteniéndose como resultado una tensión alta (V_{OH}) o baja (V_{OL}). En la figura 9.1.a se presenta el símbolo para representar comparadores que es el mismo que el utilizado para amplificadores operacionales. La operación de un comparador, representado en la VTC de la figura 9.1.b, se puede expresar como:

$$\left. \begin{array}{l} V_o = V_{OL} \quad \text{si } V_p < V_n \\ V_o = V_{OH} \quad \text{si } V_p > V_n \end{array} \right\} \quad (9.1)$$

En el caso de que la tensión V_n esté fijada a 0, entonces la tensión de salida $V_o = V_{OL}$ o $V_o = V_{OH}$ en función de si $V_p < 0$ o $V_p > 0$, respectivamente. El comparador acepta señales analógicas a la entrada y proporciona señales binarias a la salida. Este elemento constituye un nexo de unión entre el mundo analógico y digital.

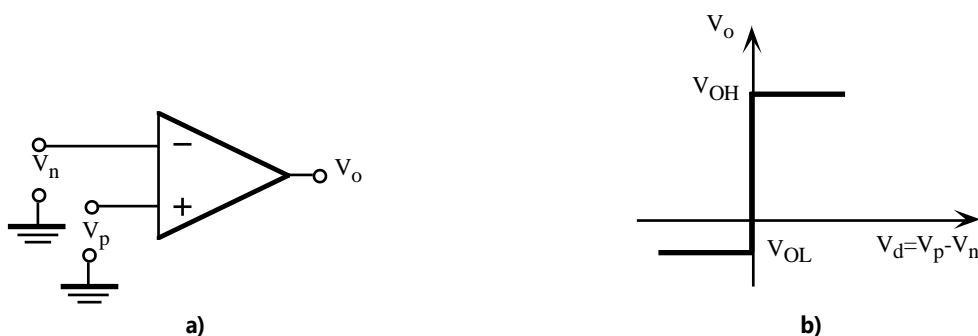


Figura 9.1. Comparador de tensión: a) Símbolo, b) VTC.

Los OAs pueden actuar como comparadores cuando la ganancia diferencial en lazo abierto sea alta (>10.000) y la velocidad no sea un factor crítico. Como ejemplo, el OA 741 se comporta como un elemento de entrada lineal si la tensión de entrada en modo diferencia está comprendida entre los valores $-65\mu\text{V} < V_d < +65\mu\text{V}$. Fuera de ese rango la etapa de salida del amplificador entra en saturación y puede comportarse como comparador.

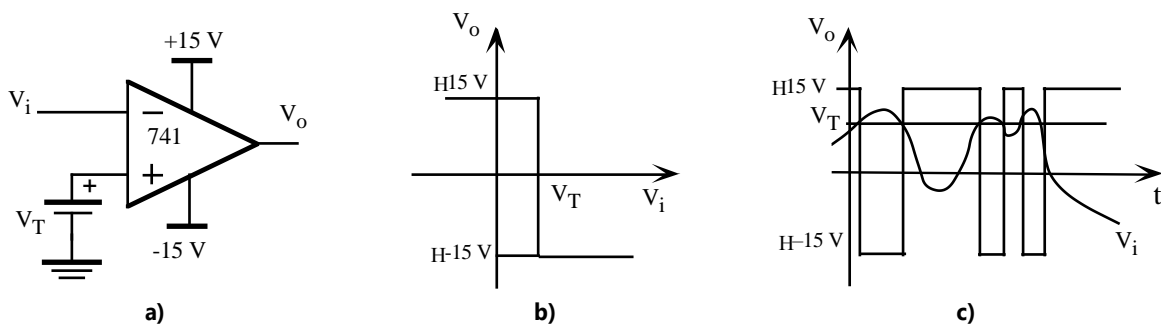


Figura 9.2. a) OA 741 como comparador; b) VTC; c) Ejemplo de formas de onda entrada-salida.

En la figura 9.2.a se muestra una aplicación sencilla del OA 741 como comparador. El amplificador carece de realimentación y la VTC de la figura 9.2.b indica que siempre que $V_i > V_T$, entonces la salida es baja, y viceversa, si $V_i < V_T$ la salida es alta. Los límites alto y bajo de V_o son establecidos por las tensiones de alimentación; en este caso $\pm 15V$. La figura 9.2.c muestra un ejemplo del comportamiento de este circuito a una entrada V_i analógica.

Aunque los OAs funcionalmente pueden actuar como comparadores, sus limitaciones hacen que sean inservibles para muchas aplicaciones. Tienen una limitación en frecuencia importante, un *slew-rate* bajo y unos retrasos tan elevados que únicamente son válidos a frecuencias bajas. Además, los OAs están pensados para actuar como amplificadores e incluyen técnicas de compensación en frecuencia no necesarias cuando operan como comparadores. A veces es necesario añadir una circuitería adicional cuando los niveles de tensión tienen que ser compatibles con TTL, ECL o CMOS. Por estas limitaciones, se han desarrollado comparadores monolíticos especialmente concebidos para aplicaciones de comparación.

9.2.- Comparadores de tensión monolíticos

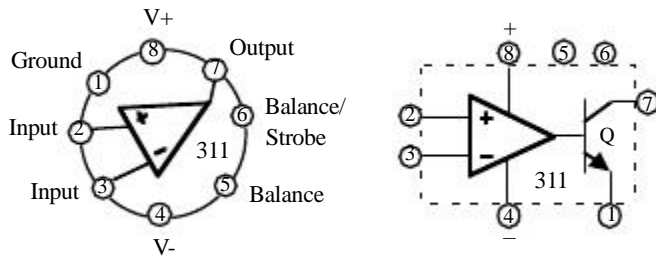
Los comparadores monolíticos tienen una estructura similar a los OAs, excepto que utiliza unas técnicas circuitales especiales que mejoran la velocidad y facilitan la interfase de salida para hacerlo compatible con otros circuitos. Un parámetro importante de un comparador es su *respuesta temporal* definida como el tiempo necesario en alcanzar el 50% del nivel de salida cuando se aplica un escalón a la entrada. Los comparadores típicos tienen tiempos que varían entre 50 y 200ns. Sin embargo, los convertidores A/D, como por ejemplo los convertidores *flash*, precisan de comparadores de muy alta velocidad con tiempos de respuesta del orden de 10ns. Tales circuitos se pueden lograr usando configuraciones basadas en las familias lógicas ECL y Schottky TTL. Ejemplos de este tipo de comparadores son el LM361 (14ns) de National Semiconductor, ME521 (12ns max) de Signetics, el LT1016 (10ns) de Linear Technology y el Am-685 (6.5ns) de Avanced Micro-Devices.

Por último, ciertos comparadores monolíticos tienen incorporados líneas de *strobing* a la entrada para habilitar/deshabilitar el dispositivo y biestables a la salida para retener el resultado de la última comparación. Estas aplicaciones son muy útiles en determinados convertidores A/D y en interfases con microcomputadores.

9.2.1.- Familia 311

La serie 311 de National Semiconductor es una de las familias más populares en comparadores integrados. Puede operar con tensiones duales de $\pm 15V$ o con tensión simple de $+5V$ y la salida es en colector abierto (*open-colector*) con tensiones de alimentación independientes para seleccionar los niveles de tensión de salida. Posee además un circuito de protección que limitan la intensidad máxima de salida a 50mA. Las correcciones de

offset se puede realizar mediante un potenciómetro variable conectado a las entradas 5 y 6, similar a la técnica utilizada en amplificadores operacionales.



Características	
Response Time, typ (ns)	100
Supply Voltage, min/max (Volt)	5/36
Supply Current (mA)	5.1
Output Type	Open Drain
Output Current, typ (mA)	50
V _{OS} , Room max (mV)	7.5
Input Bias Current, max (nA)	300

Figura 9.3. Características del comparador LM311.

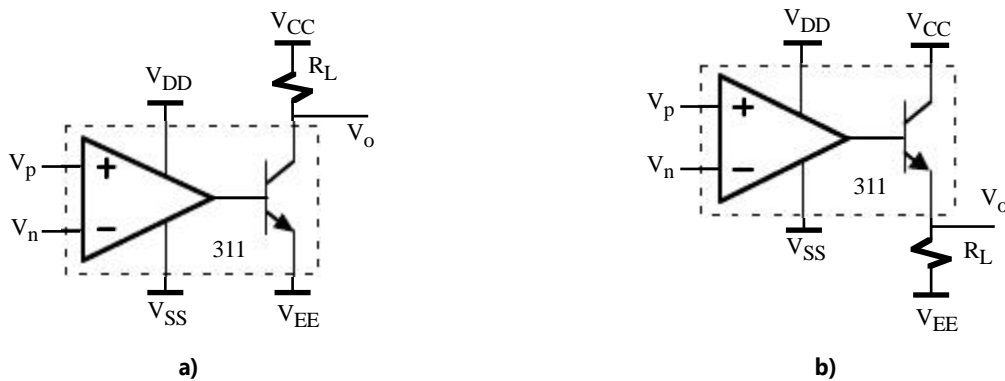


Figura 9.4. Polarización de la etapa de salida del LM311. a) Configuración con resistencia de colector o configuración normal y b) configuración seguidor de emisor.

Las formas más sencillas de utilizar este comparador se muestran en la figura 9.4.a y 9.4.b. En la figura 9.4.a, el transistor de salida tiene conectado una resistencia R_L y dos tensiones de polarización independientes. Los niveles de tensión de salida son

$$\begin{cases} V_o = V_{OL} \text{ H } V_{EE} & \text{si } V_p < V_n \text{ (Q en SATURACION)} \\ V_o = V_{OH} = V_{CC} & \text{si } V_p > V_n \text{ (Q en CORTE)} \end{cases} \quad (9.2)$$

La configuración seguidor de emisor de la figura 9.4.b resulta muy útil cuando se precisa de interfaces a masa tal como sucede en los SRC. Los niveles de tensión de salida son

Transfer Function

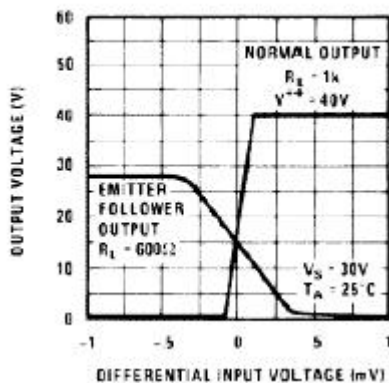


Figura 9.5. VTC de las configuraciones de la figura 9.4.

$$\begin{cases} V_o = V_{OL} \text{ H } V_{CC} & \text{si } V_p < V_n \text{ (Q en SATURACION)} \\ V_o = V_{OH} = V_{EE} & \text{si } V_p > V_n \text{ (Q en CORTE)} \end{cases} \quad (9.3)$$

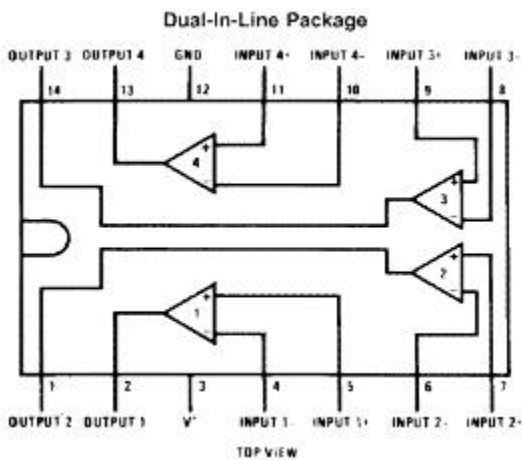
La gráfica de la figura 9.5 indica la VTC de las configuraciones de las figuras 9.4.a y 9.4.b proporcionadas por el fabricante. El seguidor de emisor presenta una polaridad contraria a la de resistencia de colector y su rango de tensiones de entrada en modo diferencial es mucho mayor.

Este comparador tiene versiones de baja potencia inferiores a $500\mu\text{W}$

(LP311), duales (LH2311) y con entrada JFET (LF311).

9.2.2.- Familia 339

La serie 339 de National Semiconductor es otra familia de comparadores muy utilizada cuando el coste es crítico ya que un mismo encapsulado contiene varios comparadores cada uno de ellos con dos entradas y una salida en colector abierto. La tensión de alimentación es común y todos los comparadores disipan potencia aunque solo se utilice uno de ellos. La figura 9.6 contiene la distribución circuital del encapsulado del “quad” LM339 y las principales características de este comparador descritas por el fabricante. La intensidad máxima de salida es de 16mA (typ) con 6mA (min). Esta familia tiene diferentes versiones como el LP339 de bajo consumo (<60µA), el LP365 cuyo consumo estático de corriente puede ser programado mediante una resistencia externa, el LM292 formado por dos OAs y dos comparadores, el CA3290 en de RCA en tecnología BiCMOS con corrientes de entrada del orden de pA, etc.



Features

- Wide supply voltage range
 - LM139/139A Series: 2 to 36 V_{DC} or ±1 to ±18 V_{DC}
 - LM2901: 2 to 36 V_{DC} or ±1 to ±18 V_{DC}
 - LM3302: 2 to 28 V_{DC} or ±1 to ±14 V_{DC}
- Very low supply current drain (0.8 mA) — independent of supply voltage
- Low input biasing current: 25 nA
- Low input offset current: ±5 nA
- Offset voltage: ±3 mV
- Input common-mode voltage range includes GND
- Differential input voltage range equal to the power supply voltage
- Low output saturation voltage: 250 mV at 4 mA
- Output voltage compatible with TTL, DTL, ECL, MOS and CMOS logic systems

Figura 9.6. Encapsulado y características y del LM339.

9.3.- Algunas aplicaciones de los comparadores de tensión

Los comparadores de tensión son utilizados en diferentes fases de generación y transmisión de señal. En este apartado se describen algunas de las aplicaciones básicas que suelen constituir parte de sistemas más complejos.

9.3.1.- Detector de nivel

La función del detector de nivel es identificar cuando una variable física (tensión, corriente, temperatura, humedad, etc) es superior o inferior a un nivel de referencia. La salida del detector es binaria y puede ser utilizada para controlar un motor, relé o un diodo LED, por ejemplo. En la figura 9.7 se describe un detector de nivel basado en el LM339 en donde la tensión de entrada es comparada con la tensión de referencia de un diodo Zener; en función del resultado de comparación el LED conducirá o no. En este circuito se verifica que

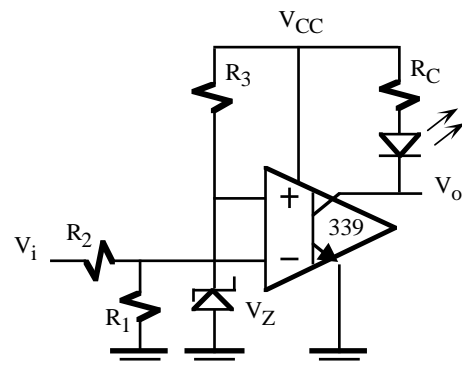


Figura 9.7. Detector de nivel básico.

$$\left\{ \begin{array}{l} V_Z < V_i \left\{ \frac{R_1}{R_1 + R_2} \right\} \\ V_Z > V_i \left\{ \frac{R_1}{R_1 + R_2} \right\} \end{array} \right\} \quad \square \text{ LED ON}$$

$$\left\{ \begin{array}{l} V_Z < V_i \left\{ \frac{R_1}{R_1 + R_2} \right\} \\ V_Z > V_i \left\{ \frac{R_1}{R_1 + R_2} \right\} \end{array} \right\} \quad \square \text{ LED OFF}$$

9.3.2.- Detector de ventana

El detector de ventana, también llamado comparador de ventana, permite determinar si una tensión de entrada está comprendida dentro de un rango de tensiones. El circuito puede ser construido fácilmente mediante dos comparadores y dos tensiones de referencia que definen el límite superior (V_{TH}) e inferior (V_{TL}). En el circuito de la figura 9.8 se presenta un comparador de ventana basado en el LM339 y su VTC. Si se verifica que $V_{TL} < V_i < V_{TH}$ entonces la salida es alta ($V_{OH} = V_{CC}$); en el resto de los valores la salida es baja ($V_{OL} = 0$ V).

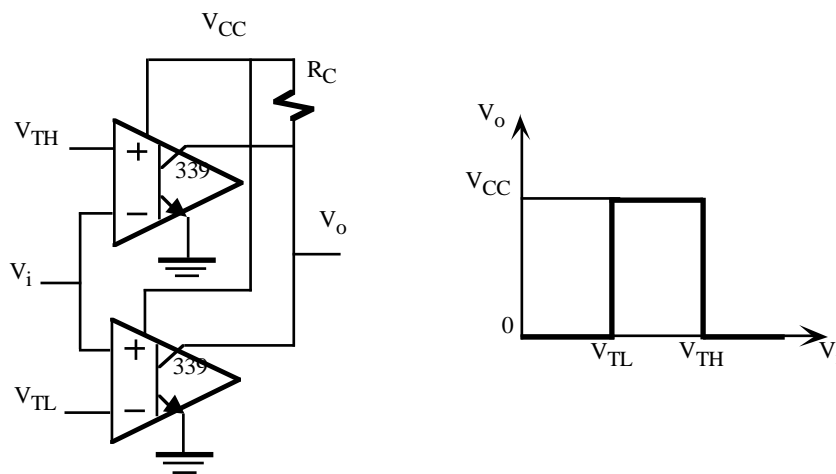


Figura 9.8. Detector de ventana y su VTC.

9.3.3.- Medidor gráfico de barras

Un medidor gráfico de barras proporciona una indicación visual del nivel de señal a la entrada del circuito. Un ejemplo muy típico se encuentra en los indicadores luminosos de los amplificadores de sonido comerciales. Este circuito básicamente es una cadena de detectores de ventana con diferentes tensiones de comparación; la salida suele estar constituida por diodos LEDs para su visualización luminosa.

El medidor gráfico de barras se puede construir mediante comparadores, pero existen en el mercado varios circuitos integrados especialmente diseñados con este propósito como son el TL490C de Texas Instruments y el LM3914/15/16 de National Semiconductor. A modo de ejemplo en la figura 9.9 aparece el diagrama circuital del medidor gráfico de barras LM3914. Está constituido por 10 comparadores cuya tensión de referencia se obtiene mediante una cadena de 10 resistencias de $1k\Omega$ conectadas en serie que permiten seleccionar el rango de tensiones de comparación en función de las tensiones aplicadas a R_{HI} (pin 6) y R_{LO} (pin 4). La señal de entrada (pin 5) accede a la entrada negativa de los comparadores mediante un OA en configuración seguidor y tiene un diodo de protección para eliminar tensiones negativas. Este circuito dispone además de una fuente de tensión de referencia de 1.25V para ajustar su sensibilidad y un circuito adicional que permite seleccionar el modo de operación de los LEDs: simple o barras. A la derecha de esta figura se presenta un ejemplo de aplicación del

LM3914 para construir un medidor gráfico de barras entre 0 V y 5 V. En este circuito, la fuente tensión de referencia fija a 1.25 V la caída de tensión en R_1 . Aplicando el principio de divisor de tensión y suponiendo despreciable la intensidad que circula por la línea 8, la tensión en la línea 6 vale $V_6=(1+R_2/R_1)1.25\text{ V}=5.2\text{ V}$. Las tensiones de referencia en los comparadores van a ser: 0.52 V, 1.04 V, 1.56, 2.08, ..., 4.68 V.

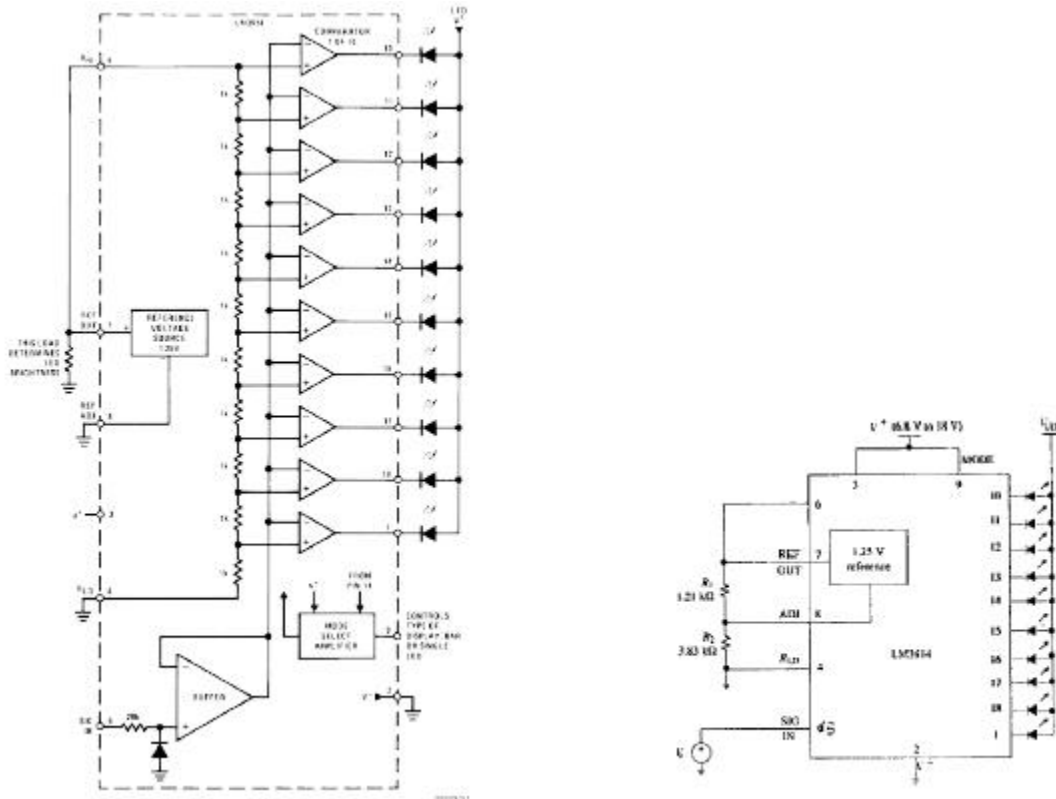


Figura 9.9. Diagrama circuital del medidor gráfico de barras LM3914. A la derecha se muestra un ejemplo de aplicación de este circuito para un nivel de entrada de 0 V y 5 V.

9.4.- Disparador Schmitt

La realimentación negativa en un amplificador tiende a mantenerle dentro de la región lineal y una realimentación positiva fuerza a ese amplificador a operar en la región de saturación. Un disparador Schmitt es un comparador regenerativo con realimentación positiva que presenta dos tensiones de comparación a la entrada, V_{TH} y V_{TL} , en función del estado de la salida. La VTC de estos circuitos presenta histéresis y por ello también se les denomina comparador con histéresis. Sus principales aplicaciones se encuentran en el campo de comunicaciones digitales debido a su capacidad de eliminar ruidos y en circuitos generadores de formas de onda.

En la figura 9.10.a se muestra el esquema de un disparador de Schmitt inversor formado por un OA o un comparador. Las resistencias R_1 y R_2 introducen una realimentación positiva en el circuito que fuerza a operar al OA en saturación. La tensión de entrada V_i es comparada con V_p ; esta tensión se obtiene a través del divisor de tensión formado por R_1 y R_2 de forma que

$$V_p = \frac{R_1}{R_1 + R_2} V_o \tag{9.5}$$

Como V_o puede tener dos estados (V_{OH} , V_{OL}), existen dos tensiones umbrales o *threshold* definidos por

$$\begin{aligned} V_{TH} &= \frac{R_1}{R_1 + R_2} V_{OH} \\ V_{TL} &= \frac{R_1}{R_1 + R_2} V_{OL} \end{aligned} \quad (9.6)$$

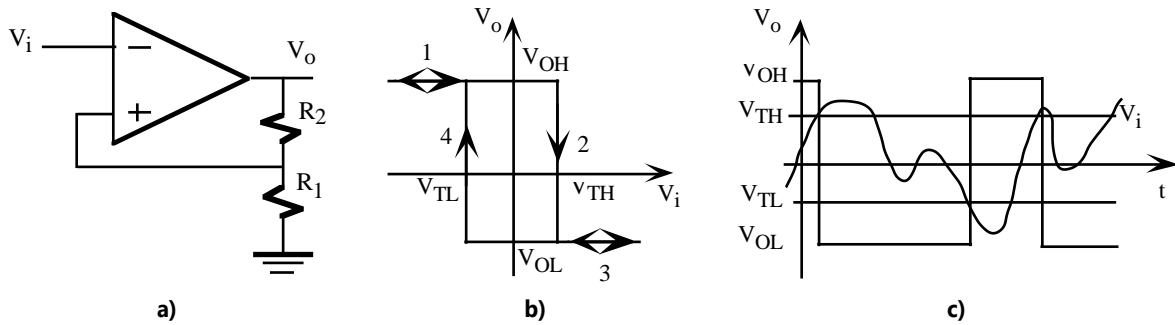


Figura 9.10. a) Disparador de Schmitt inversor; b) VTC; c) Formas de onda entrada-salida.

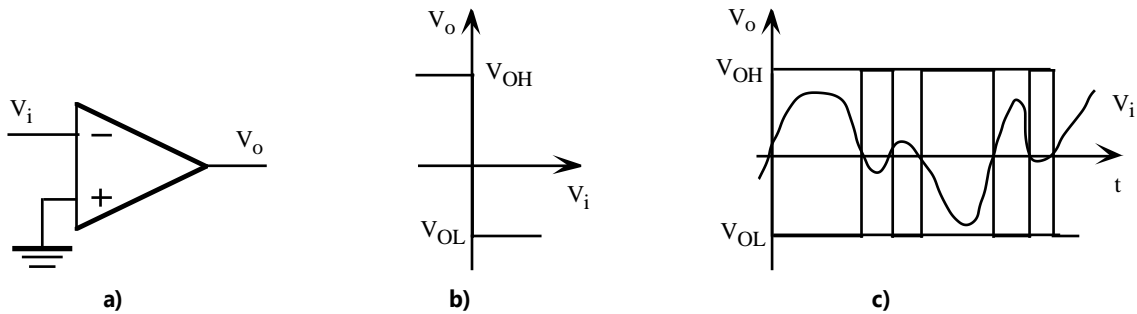


Figura 9.11. a) Comparador inversor; b) VTC; c) Formas de onda entrada-salida.

En la figura 9.10.b se describe la VTC de este disparador Schmitt. Esta curva se obtiene fácilmente a partir de las ecuaciones 9.5 y 9.6. Cuando la V_i es muy negativa se verifica que $V_i < V_p$ resultando que $V_o = V_{OH}$ y $V_p = V_{TH}$ (tramo 1 de la VTC). Si se aumenta la V_i llegará un momento en que $V_i > V_p = V_{TH}$ y se producirá un cambio en la salida del comparador resultando que $V_o = V_{OL}$ y $V_p = V_{TL}$ (tramo 2 y 3 de la VTC); la tensión de comparación es ahora V_{TL} . Si se disminuye V_i se produce un nuevo cambio en la salida del comparador cuando $V_i < V_p = V_{TL}$ resultando que $V_o = V_{OH}$ y $V_p = V_{TH}$ (tramo 4 y 1 de la VTC). El efecto de esta VTC se pone de manifiesto en las formas de onda de entrada-salida que se muestra en la figura 9.10.c. El cambio en la salida del comparador únicamente se produce cuando la tensión de entrada V_i alcanza el valor de V_{TL} o V_{TH} . Esta característica le hace idóneo en entornos industriales con alto ruido en donde los comparadores originan múltiples transiciones de salida. Un ejemplo concreto se muestra en el comparador de la figura 9.11.a con la VTC de la figura 9.11.b. En la figura 9.11.c se puede observar la respuesta del comparador a la misma señal de entrada aplicada al disparador de Schmitt de la figura 9.10.c. En este caso, el ruido existente alrededor de la tensión de comparación (0 V) genera varias transiciones inexistentes en el disparador Schmitt. Este efecto es más perjudicial cuando se utiliza un comparador como elemento de detector de nivel. Pequeñas variaciones alrededor de la tensión de comparación debida a ruidos, fluctuaciones, etc, originan transiciones en la salida que deben ser eliminadas introduciendo una pequeña cantidad de histéresis para estabilizarlos frente a posibles oscilaciones.

El disparador de Schmitt de la figura 9.10.a es inversor porque para tensiones bajas de V_i la salida es V_{OH} y, viceversa, para tensiones altas de V_i la salida es V_{OL} . En la figura 9.12.a se muestra la versión no-inversora de un

disparador de Schmitt que incluye un circuito limitador basado en dos diodos Zener conectados en contraposición. De esta manera, los límites de la tensión de salida estarán fijados a $V_{OH}=V_Z+V_d$ y $V_{OL}=-V_Z-V_d$ con independencia de la tensión de alimentación. La VTC de este circuito aparece en la figura 9.12.b; la $V_{TH}=(R_1/R_2)V_{OH}$ y $V_{TL}=(R_1/R_2)V_{OL}$. En la figura 9.13 se indican los símbolos utilizados para representar los disparadores Schmitt inversores y no inversores.

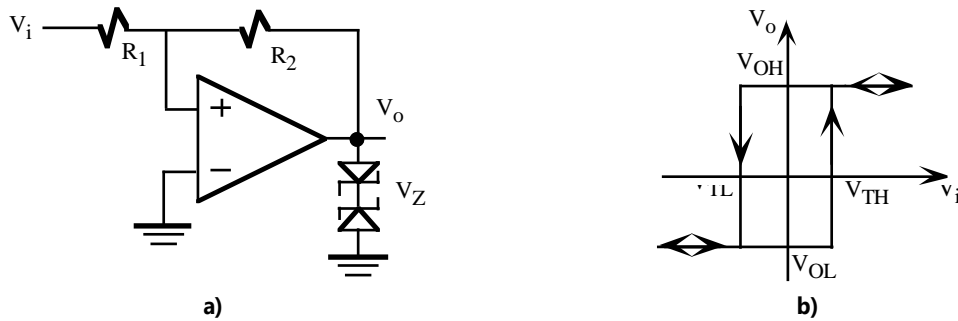


Figura 9.12. a) Disparador Schmitt no-inversor estabilizado; b) VTC.

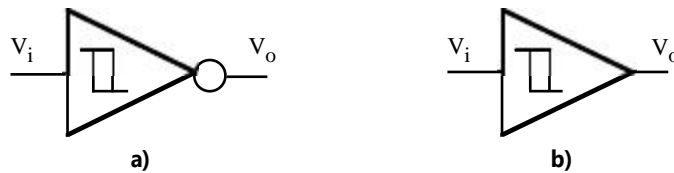


Figura 9.13. Símbolos de un Disparador Schmitt: a) inversor; b) no-inversor.

9.4.1.- Disparadores Schmitt monolíticos

Entre los disparadores Schmitt monolíticos se encuentran los de tecnología CMOS que presentan las siguientes ventajas: alta impedancia de entrada, rango de salida *rail-to-rail* y bajo consumo de potencia, ventajas que les hace particularmente interesantes para muchas aplicaciones. Los valores de la tensión umbral o *threshold* de estos circuitos se encuentran alrededor del 60% de V_{DD} para la V_{TH} y del 40% de la V_{DD} para la V_{TL} , aunque debido a las variaciones del proceso de fabricación estos valores pueden tener una elevada dispersión. Ejemplo de estos tipos de circuitos son CD40106B y 74HC14. El CD4039B y 74HC132 son otros ejemplos de disparadores Schmitt NAND.

La figura 9.14 contiene información sobre el HCC40106B de SGS-Thomson Microelectronics que es un circuito monolítico CMOS constituido por 6 disparadores Schmitt inversores. Este circuito no precisa de componentes externos, es insensible al tiempo de subida o caída de las señales de entrada, presenta características de salida simétrica y la corriente de entrada es de 100nA a 25°C y $V_{DD}=18$ V. La gráfica de la figura P.14.c indica la variación de las tensiones ($V_{TH}=V_P$ y $V_{TL}=V_N$) umbrales con la tensión de alimentación. Por ejemplo, para $V_{DD}=10$ V, la $V_{TH}=6$ V y $V_{TL}=4$ V, es decir, el 60% y 40% de la V_{DD} respectivamente. La tensión de histéresis, $V_H=V_P-V_N$, varía de 0.9 V a $V_{DD}=5$ V hasta 3.5 V a $V_{DD}=15$ V.

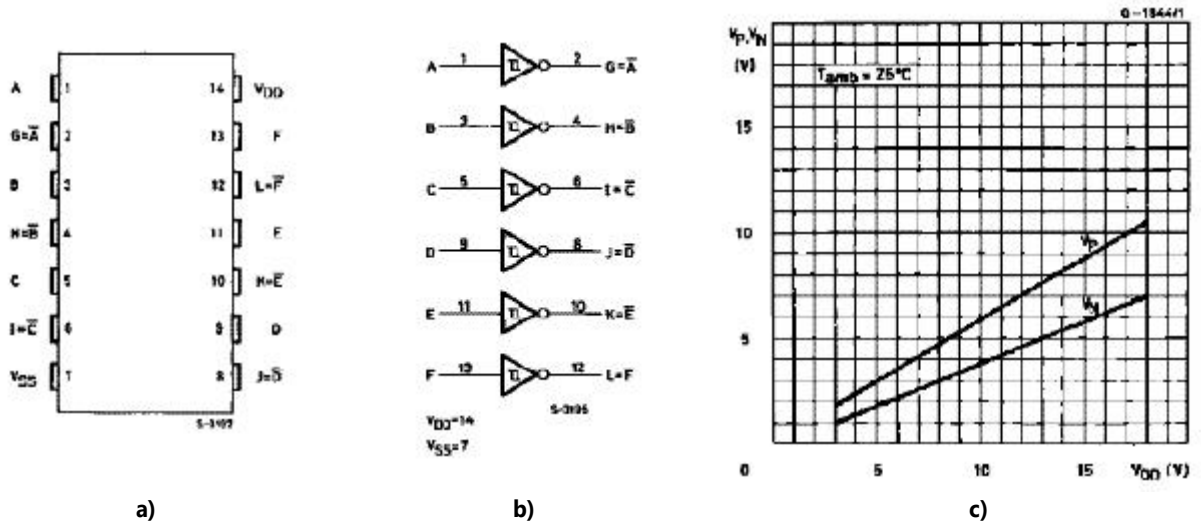
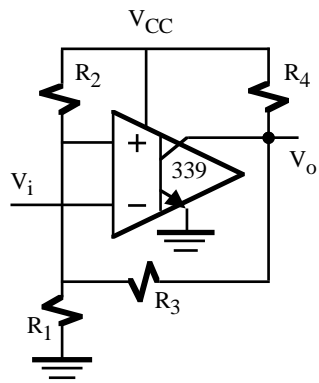


Figura 9.14. Algunas características del Hex-disparador Schmitt HCC40106B de SGS-Thomson Microelectronics: **a)** encapsulado, **b)** esquema circuital y **c)** variación de las tensiones umbrales con la tensión de alimentación.

Los comparadores monolíticos, por ejemplo el LM339, pueden ser configurados mediante resistencias externas para que funcione como un disparador de Schmitt. La asignación en los valores a las resistencias definen las tensiones *threshold* del disparador, siempre situadas en el primer cuadrante debido a que opera con una única tensión positiva de alimentación. En la figura 9.15 se presenta el disparador Schmitt inversor basado en el LM339 con sus ecuaciones características de operación. Las resistencias R_1 , R_2 y R_3 definen las tensiones de comparación de entrada debido a la realimentación positiva. El valor típico de R_4 es de unos pocos k Ω , y si se impone la condición de que $R_3 \gg R_4$ para reducir al mínimo la cargabilidad de R_3 en el nudo de salida, se verifica que $V_{OH} \approx V_{CC}$.



$$V_{TL} = \frac{R_1 \parallel R_3}{R_1 \parallel R_3 + R_2} V_{CC}$$

$$V_{TH} = \frac{R_1}{R_1 + R_2 \parallel (R_3 + R_4)} V_{CC}$$

$$V_{OL} \approx 0$$

$$V_{OH} = \frac{R_3}{R_3 + R_4} V_{CC} + \frac{R_4}{R_3 + R_4} V_{TH}$$

Figura 9.15. Disparador Schmitt inversor basado en el LM339 y ecuaciones características.

Problemas

P9.1 Representar gráficamente la curva de transferencia en tensión (VTC) de los circuitos de las figuras P9.1.a hasta P9.1.d.

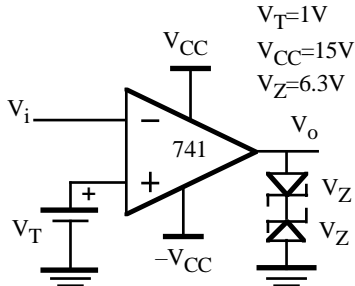


Figura P9.1.a

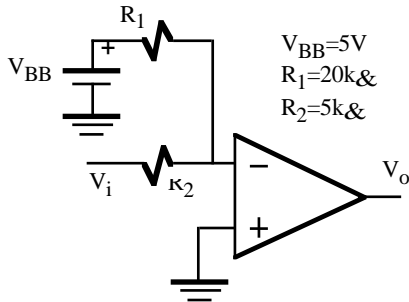


Figura P9.1.b

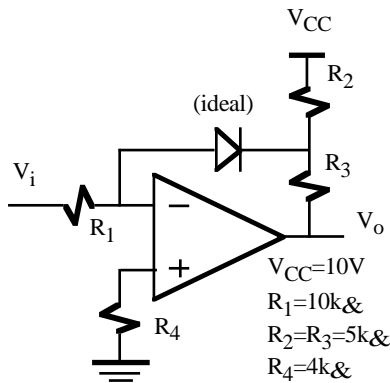


Figura P9.1.c

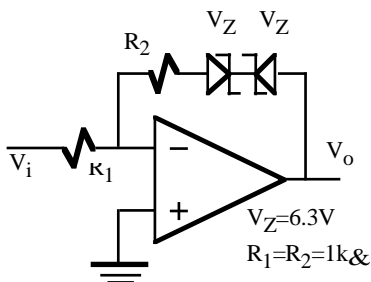


Figura P9.1.d

P9.2 El comparador LM311 de la figura P9.2 tiene conectado a su salida N inversores TTL del tipo 74LS04 cuyas características eléctricas se indican en el recuadro de esta figura. Sabiendo que la intensidad máxima del comparador cuando el transistor de salida está en conducción es de 50mA, calcular el valor máximo de N (*fan-out*) para asegurar el correcto funcionamiento del circuito.

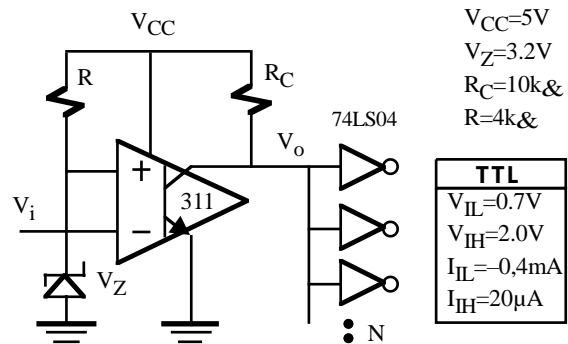


Figura P9.2

$V_{CC}=5V$
$V_Z=3.2V$
$R_C=10k\Omega$
$R=4k\Omega$
TTL
$V_{IL}=0.7V$
$V_{IH}=2.0V$
$I_{IL}=-0.4mA$
$I_{IH}=20\mu A$

P9.3 Se desea que el circuito de la figura 9.7 se active cuando la tensión de entrada sea de 4 V. Además la impedancia de entrada debe ser de $20k\Omega$. Determinar el valor de R_1 , R_2 y R_C .
 Datos: $V_{CC}=5V$, $V_Z=2V$, $I_{LED}=2mA$ y $V_{LED}=1.8V$.

P9.4 Diseñar un detector de ventana como el de la figura 9.8 que verifique $V_{TH}=4/5V_{CC}$ y $V_{TL}=1/5V_{CC}$.

P9.5 Dibujar la VTC del circuito de la figura 9.12.a. Datos: $R_1=10k\Omega$, $R_2=5k\Omega$ y $V_Z=4.3V$.

P9.6 Obtener la VTC del circuito de la figura P9.6.

P9.7 Obtener la VTC del disparador Schmitt basado en el LM339 de la figura 9.14 si $R_1=R_2=R_3=100k\Omega$ y suponiendo que $R_3 \gg R_4$. Dato: $V_{CC}=10V$, $R_4=3k\Omega$.

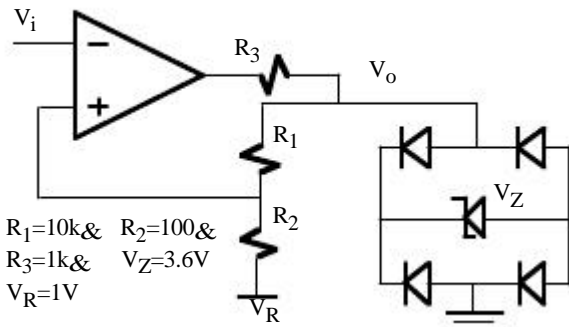


Figura P9.6

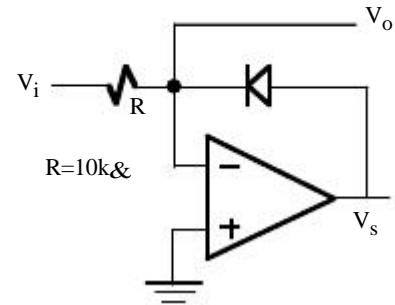


Figura P9.10

P9.8 Obtener la VTC del disparador Schmitt no-inversor de la figura P9.8 suponiendo que $R_4 \gg R_5$.

P9.11 Representar la VTC del circuito rectificador de la figura P9.11. Dato: $V_d=0.7V$.

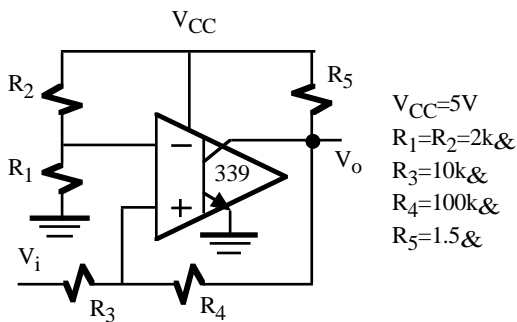


Figura P9.8

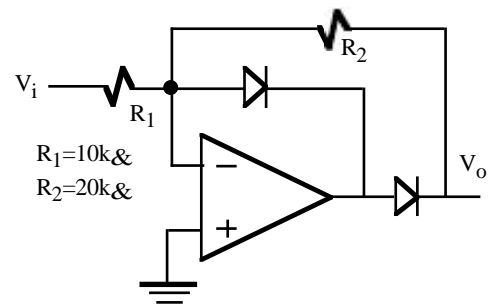


Figura P9.11

P9.9 Obtener la VTC del comparador de ventana de la figura P9.9 basado en OA ideales.

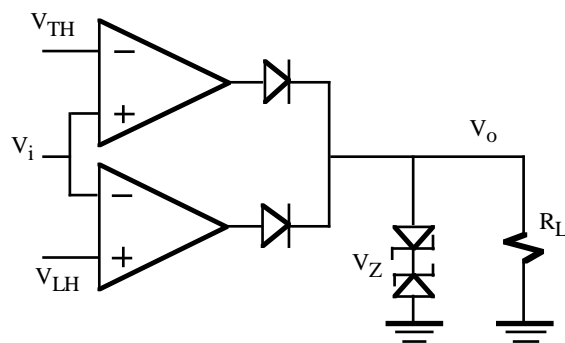


Figura P9.9

P9.10 En la figura P9.10 se muestra un rectificador de media-onda. Representan gráficamente la salida V_o y V_s para una entrada $V_i=2 \text{ V senwt}$. Datos: El OA tiene una $A_d=10.000$ y el diodo $V_d=0.7V$.

TEMA 10**Generadores de señal****10.1.- Introducción**

La función de un generador de señal es producir una señal dependiente del tiempo con unas características determinadas de frecuencia, amplitud y forma. Algunas veces estas características son externamente controladas a través de señales de control; el oscilador controlado por tensión (*voltage-controlled oscillator* o VCO) es un claro ejemplo. Para ejecutar la función de los generadores de señal se emplea algún tipo de realimentación conjuntamente con dispositivos que tengan características dependientes del tiempo (normalmente condensadores). Hay dos categorías de generadores de señal: *osciladores sintonizados o sinusoidales* y *osciladores de relajación*.

Los osciladores sintonizados emplean un sistema que en teoría crea pares de polos conjugados exactamente en el eje imaginario para mantener de una manera sostenida una oscilación sinusoidal. Los osciladores de relajación emplean dispositivos biestables tales como conmutadores, disparadores Schmitt, puertas lógicas, comparadores y flip-flops que repetidamente cargan y descargan condensadores. Las formas de onda típicas que se obtiene con este último método son del tipo triangular, cuadrada, exponencial o de pulso.

10.2.- Principios básicos de los osciladores sinusoidales

Los osciladores sinusoidales juegan un papel importante en los sistema electrónicos que utilizan señales armónicas. A pesar de que en numerosas ocasiones se les denomina osciladores lineales, es preciso utilizar alguna característica no-lineal para generar una onda de salida sinusoidal. De hecho, los osciladores son esencialmente no-lineales lo que complica las técnicas de diseño y análisis de este tipo de circuitos. El diseño de osciladores se realiza en dos fases: una lineal, basado en métodos en el dominio frecuencial que utilizan análisis de circuitos realimentados, y otra no-lineal, que utiliza mecanismos no lineales para el control de la amplitud.

Un oscilador es básicamente un circuito autónomo, es decir, es capaz de generar una señal periódica sinusoidal sin necesidad de aplicar ninguna entrada. Una diferencia fundamental respecto a los circuitos multivibradores es que estos últimos son circuitos no lineales (basados en comparadores, disparadores de Schmitt, ...) frente a los circuitos cuasi-lineales de los osciladores.

La calidad de la onda sinusoidal se expresa a través del coeficiente de distorsión armónica total (*total harmonic distortion* o THD), definido como

$$THD = \sqrt{D^2 + D_3^2 + D_4^2 + \dots} \tag{10.1}$$

donde D_k representa la relación entre la amplitud del armónico k y el armónico fundamental descrita en series de Fourier. Por ejemplo, la transformada de Fourier de una onda triangular únicamente tiene armónicos impares (los pares son nulos) cuya amplitud relativa al armónico fundamental vale $1/k^2$. En este caso, el THD toma el valor

$$THD = \sqrt{\left(\frac{1}{3}\right)^2 + \left(\frac{1}{5}\right)^2 + \left(\frac{1}{7}\right)^2 + \dots} \approx 0.12 \tag{10.2}$$

Es decir, una onda triangular es una grosera aproximación de una onda sinusoidal con un THD del 12%. Es evidente que el objetivo de los osciladores sinusoidales es generar señales con $THD=0$.

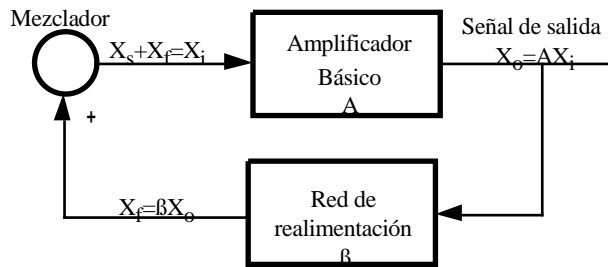


Figura 10.1. Estructura básica de un oscilador sinusoidal.

La estructura básica de un oscilador sinusoidal consiste en un amplificador (A) y una red selectiva de frecuencia (β) conectada en un lazo de realimentación positiva tal como se muestra en el diagrama de bloques la figura 10.1. Aunque en un oscilador no existe señal de entrada, es posible obtener la ganancia de lazo del amplificador realimentado (A_f) que, debido a la realimentación positiva, es de la forma

$$A_f = \frac{A}{1 - \beta A} \tag{10.3}$$

donde $A=A(f)$ y $\beta=\beta(f)$ dependen de la frecuencia f . Si existe una frecuencia f_o que $\beta A=1$, entonces el valor de A_f en la ecuación 10.3 es infinito. Es decir, a esta frecuencia el circuito tiene salida finita para una entrada cero; tal circuito por definición es un oscilador. La condición del circuito realimentado que proporciona oscilaciones sinusoidales de frecuencia oscilación f_o es

$$\beta(f_o)A(f_o) = 1 \tag{10.4}$$

El criterio de Barkhausen establece estas condiciones de oscilación: a la frecuencia f_o , la fase de la ganancia de lazo debe ser $0+2k\pi$ y la magnitud de la ganancia de lazo debe ser 1. Expresado más formalmente, el criterio de Barkhausen de oscilación exige que

$$\begin{cases} \text{fase}(\beta(f_o)A(f_o)) = 0 + 2k\pi \\ |\beta(f_o)A(f_o)| = 1 \end{cases} \tag{10.5}$$

10.2.1.- Control no-lineal de la amplitud

En todo oscilador práctico, la ganancia de lazo (βA) tiene que ser ligeramente mayor que la unidad para evitar que los parámetros de tolerancia de los componentes, envejecimiento, efectos de la temperatura, ..., haga que $\beta A < 1$ y el circuito no verifique una de las condiciones de oscilación especificadas en la ecuación 10.5, en cuyo caso el circuito dejará de oscilar. Por otra parte, si $\beta A > 1$ las amplitudes de oscilación crecen en amplitud y originarán señales sinusoidales de salida con fuerte distorsión armónica (THD elevado). Por ello, es necesario un mecanismo que ajuste el valor de $\beta A=1$ basado en un circuito de control de ganancia no-lineal del amplificador. Este circuito hace que $\beta A \gg 1$ para valores de amplitud de salida bajos hasta que se alcanza un valor determinado de salida en cuyo caso $\beta A=1$. Un ejemplo típico de un circuito de ganancia no-lineal, también conocido como circuito limitador, se presenta en la figura 10.2.a. Utiliza dos diodos D1 y D2 que en función de su estado o no de conducción, varía la ganancia del amplificador tal como se indica en la VTC de la figura 10.2.b. Para tensiones de salida bajas, ambos diodos están en corte y la ganancia del amplificador vale $-R_f/R_1$. En este caso, aplicando el principio de superposición, las tensiones V_A y V_B se pueden expresar en términos de $\pm V_{CC}$ y V_o como

$$\begin{aligned}
 V_A &= V_{CC} \frac{R_3}{R_2 + R_3} + V_o \frac{R_2}{R_2 + R_3} \\
 V_B &= V_{CC} \frac{R_4}{R_4 + R_5} + V_o \frac{R_5}{R_4 + R_5}
 \end{aligned}
 \tag{10.6}$$

El diodo D1 está en conducción cuando $V_A \geq V_D = 0.7$ V y el D2 cuando $V_B \leq V_D = 0.7$ V, en cuyo caso la ganancia del amplificador disminuye a $-(R_f \parallel R_3)/R_1$ y $-(R_f \parallel R_4)/R_1$ respectivamente. La tensiones de salida que hacen entrar a estos diodos en conducción vienen dadas por las siguientes expresiones:

$$\begin{aligned}
 L_{\pm} &= V_{CC} \frac{R_3}{R_2} - V_D \left\{ 1 + \frac{R_3}{R_2} \right\} \\
 L_{\pm} &= V_{CC} \frac{R_4}{R_5} + V_D \left\{ 1 + \frac{R_4}{R_5} \right\}
 \end{aligned}
 \tag{10.7}$$

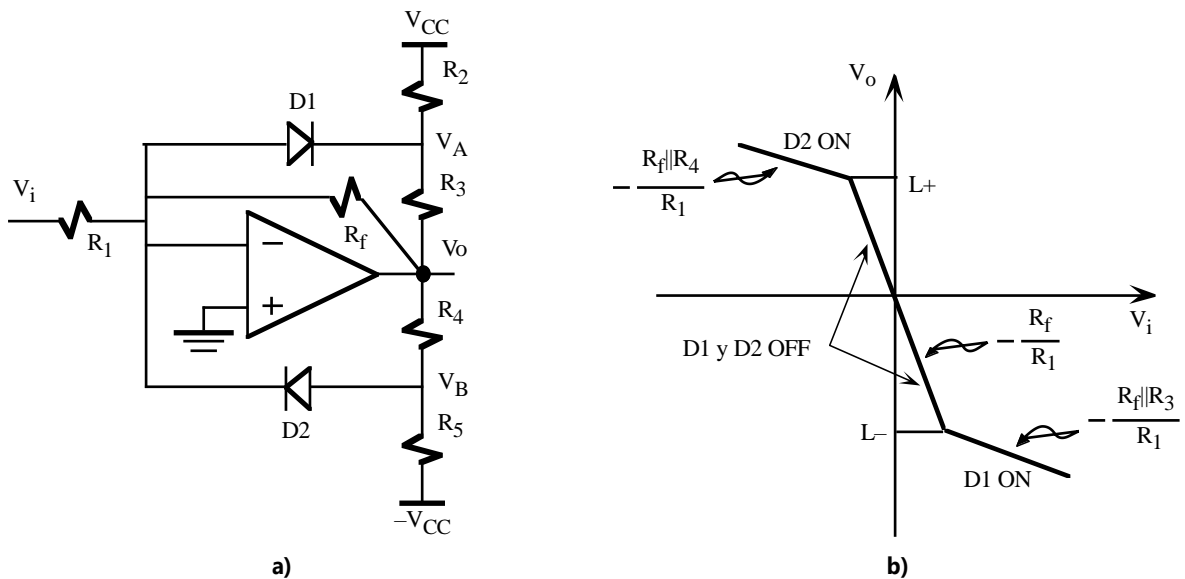


Figura 10.2. a) Circuito de ganancia no-lineal; b) VTC.

10.3.- Circuitos osciladores RC-OA

En este apartado se estudian algunos osciladores prácticos que utilizan amplificadores operacionales y redes RC.

10.3.1.- Oscilador de puente de Wien

El oscilador de puente de Wien, tal como aparece en el esquema básico de la figura 10.3.a, está constituido por un OA en configuración no-inversora de ganancia $1+R_2/R_1$ y una red de realimentación RC cuya función de transferencia es

$$\beta = \frac{V_a}{V_o} = \frac{Z_p}{Z_p + Z_s} \tag{10.8}$$

donde

$$Z_p = R \parallel \frac{1}{Cj\omega} = \frac{R}{1 + RCj\omega} \quad \text{y} \quad Z_s = R + \frac{1}{Cj\omega} \tag{10.9}$$

Sustituyendo 10.9 en 10.8 y operando se obtiene

$$\beta = \frac{1}{3 + j\left\{ \omega RC - \frac{1}{\omega RC} \right\}} \tag{10.10}$$

La ganancia de lazo (βA) vale

$$\beta A = \frac{1 + \frac{R_2}{R_1}}{3 + j\left\{ \omega RC - \frac{1}{\omega RC} \right\}} \tag{10.11}$$

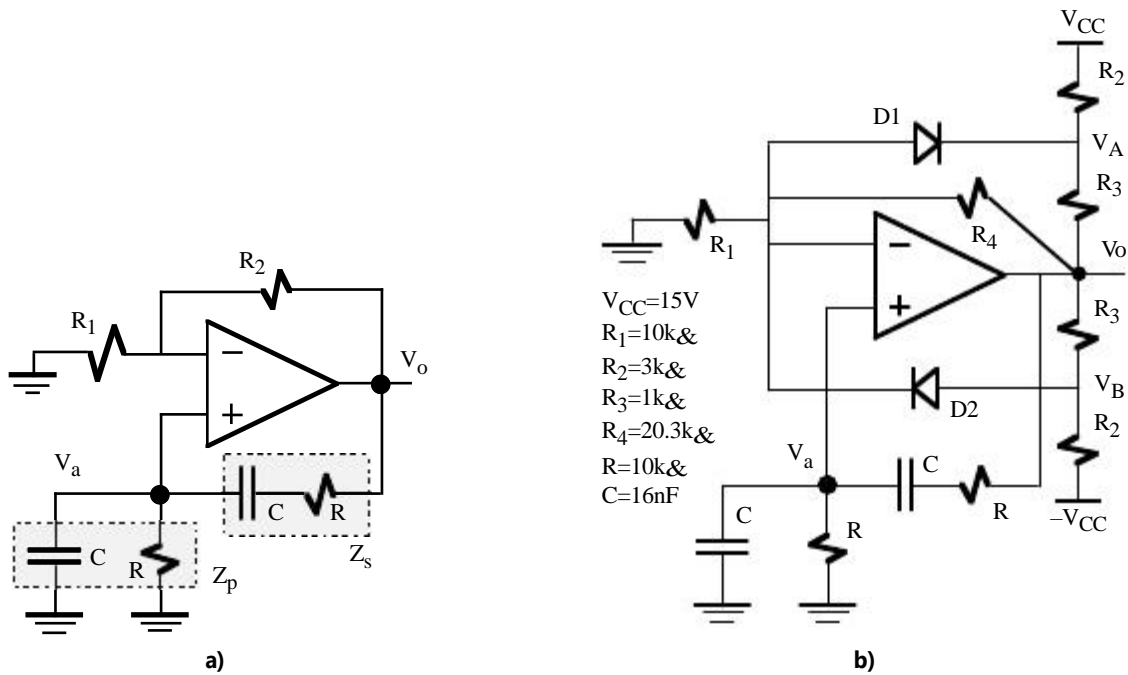


Figura 10.3. a) Esquema básico de un oscilador de puente de Wien; **b)** Oscilador de puente de Wien con control de amplitud.

El criterio de Barkhausen establece las condiciones de oscilación a la frecuencia f_o :

$$\begin{aligned} \text{fase}(\beta_o)A(\beta_o) &= 0 + 2k \Rightarrow \beta_o = \frac{1}{2RC} \\ |\beta_o)A(\beta_o)| &= 1 \Rightarrow \frac{R_2}{R_1} = 2 \end{aligned} \tag{10.12}$$

Para asegurar las condiciones de oscilación es necesario elegir R_2/R_1 ligeramente superior a 2 para corregir pequeñas variaciones en el circuito. Además, la amplitud de oscilación puede ser determinada y estabilizada utilizando un circuito no-lineal como el que se muestra en la figura 10.3.b. Los diodos D1 y D2 y las resistencias R_2 y R_3 actúan como limitadores de amplitud de salida.

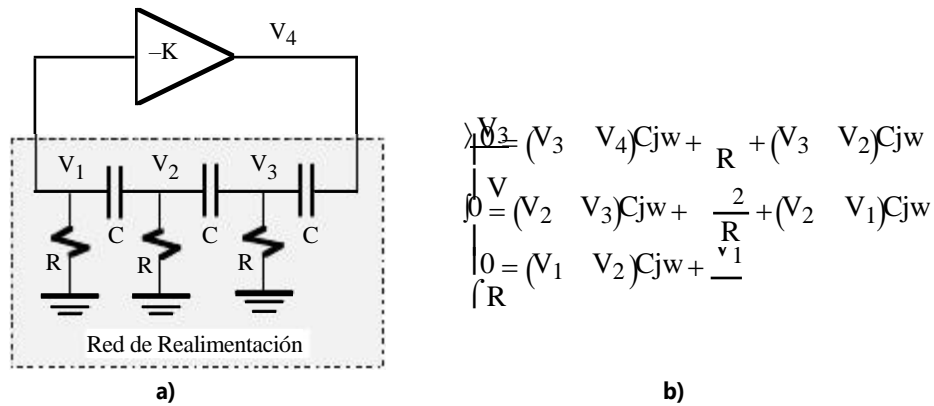


Figura 10.4. a) Esquema básico de un oscilador de cambio de fase; **b)** Ecuaciones de la red de realimentación.

10.3.2.- Oscilador de cambio de fase

El oscilador de cambio de fase, cuya estructura básica se describe en la figura 10.4.a, consiste en un amplificador de ganancia negativa (-K) y una realimentación constituida por una sección RC de tercer orden en escalera. La condición de oscilación exige que la red de realimentación introduzca un desfase de 180° para ser compatible con la ganancia negativa del amplificador que introduce a su vez otro desfase de 180°. En la figura 10.4.b se indica las ecuaciones de la red de realimentación. Partiendo de estas ecuaciones y tras realizar una serie de operaciones, se puede comprobar que la expresión de la ganancia de lazo es

$$A^\circ = \frac{V_4}{V_1} \cdot \frac{V_1}{V_4} = \frac{K}{1 - \frac{5}{(wRC)^2} + j \left\{ \frac{6}{wRC} - \frac{1}{(wRC)^3} \right\}} \tag{10.13}$$

Las condiciones de oscilación establecen el valor de f_o y el valor de K dados por

$$\begin{aligned} \text{fase}(A^\circ) &= 0 + 2k \Rightarrow \beta_o = \frac{1}{2\sqrt{6}RC} \\ |A^\circ| &= 1 \Rightarrow K \geq 29 \end{aligned} \tag{10.14}$$

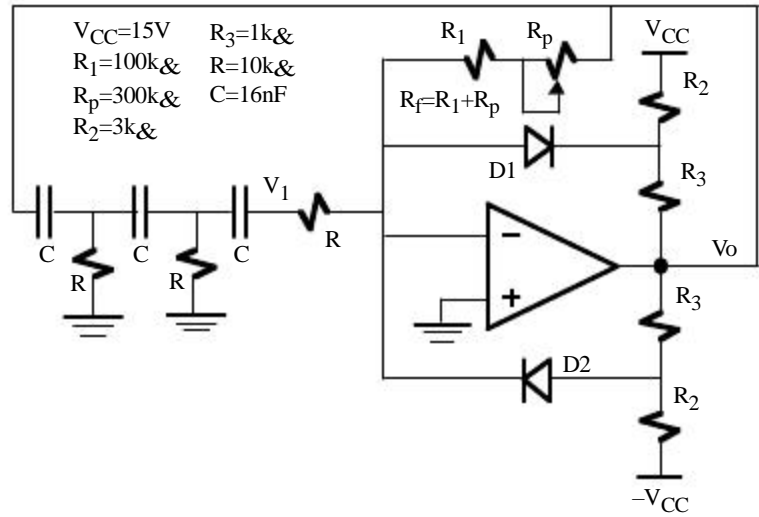
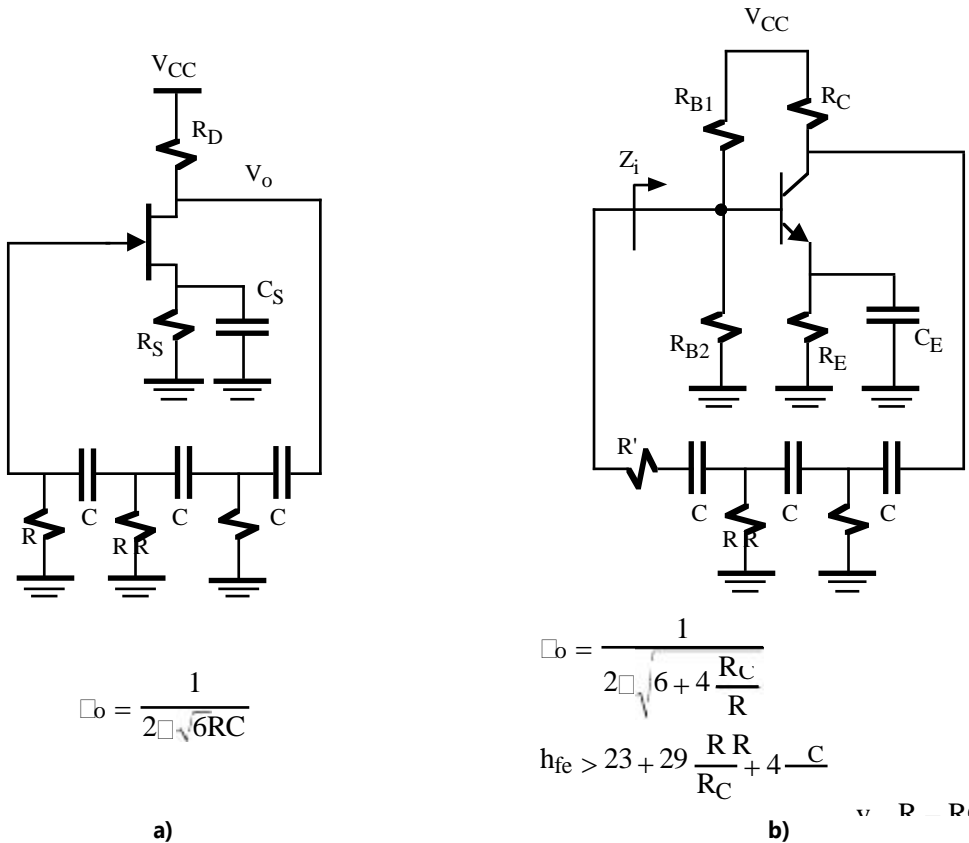


Figura 10.5. Oscilador de cambio de fase con limitador de amplitud.



$$A_b = \frac{1}{2\sqrt{6}RC}$$

$$A_b = \frac{1}{2\sqrt{6 + 4\frac{R_C}{R}}}$$

$$h_{fe} > 23 + 29\frac{R R'}{R_C} + 4\frac{C}{R}$$

a) b) Figura 10.6. Oscilador de cambio de fase basado en un a) FET y en un b) BJT.

Ejemplos prácticos de este tipo de osciladores se muestran en las figuras 10.5, 10.6.b y 10.6.c. En la figura 10.5 el oscilador está basado en un OA cuya ganancia $(-R_f/R)$ se ajusta a través del potenciómetro R_p y tiene un limitador de amplitud en la salida a través de los diodos D1 y D2. En las figuras 10.6.a y 10.6.b se presentan dos osciladores que utilizan componentes discretos. El primero está basado en un amplificador FET cuya ganancia es

$$A = g_m(R_D \parallel r_d) \tag{10.15}$$

y el segundo está basado en un amplificador BJT cuya h_{fe} y Z_i deben verificar las relaciones indicadas en la figura con una frecuencia de oscilación que depende de R_C .

10.4.- Osciladores LC

Un oscilador muy sencillo se puede construir con una etapa amplificadora y un red inductiva-capacitiva (LC) que proporcione un desplazamiento de -180° . La frecuencia de oscilación puede ser fácilmente ajustada, o sintonizada (*tuned*), sobre un rango de frecuencias que varían desde unos 100kHz hasta cientos de MHz cambiando únicamente el valor de la C o L. Estos osciladores LC sintonizados son usados en gran variedad de aplicaciones incluyendo radiotransmisores, receptores de AM y FM y generadores de onda sinusoidal.

Los osciladores LC más conocidos son: a) oscilador de Colpitts y b) oscilador de Hartley. Su diferencia se encuentra en la red de realimentación: el oscilador de Colpitts utiliza un divisor capacitivo en paralelo con una autoinducción y el oscilador de Hartley utiliza un divisor inductivo en paralelo con una capacidad, es decir, ambos son duales.

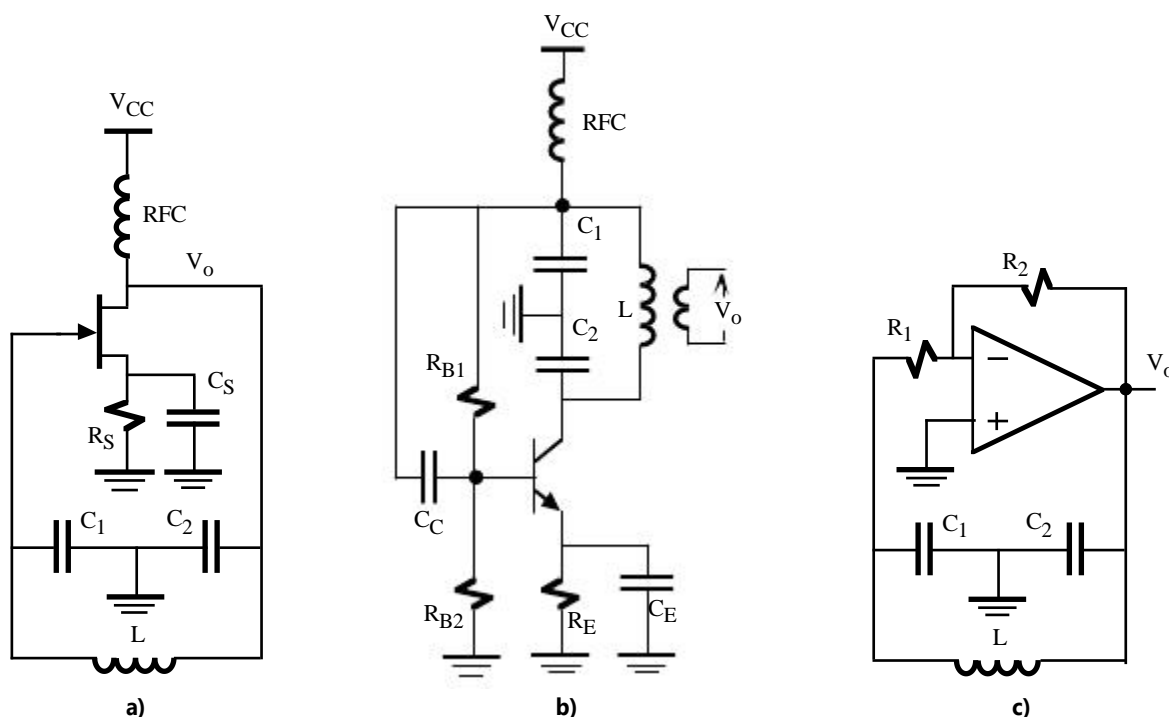


Figura 10.7. Oscilador Colpitts basado en un a) JFET, b) BJT y c) OA.

En la figura 10.7 se indican tres posibles configuraciones de un oscilador Colpitts basado en transistores FET y BJT, y en un OA aunque no suelen ser utilizados por su limitación en frecuencia; la autoinducción RFC sirve para aislar la línea de alimentación del oscilador, es decir, su valor es suficientemente alto para impedir que la señal sinusoidal se transmita a la alimentación. Si la frecuencia de oscilación (f_o) es suficientemente baja para considerar despreciable los efectos capacitivos internos de los transistores y el OA, y si la autoinducción L tiene una resistencia interna despreciable, entonces la frecuencia de oscilación será determinada por la red LC (también conocida en muchos casos con el nombre de circuito tanque o *tank* porque se comporta como una depósito de energía de almacenamiento). Para el oscilador Colpitts, esta frecuencia es

$$\omega_o = \frac{1}{2\sqrt{L} \sqrt{\frac{C_1 C_2}{C_1 + C_2}}} \quad \text{y} \quad A_v > \frac{C_1}{C_2} \tag{10.16}$$

Esta relación debe ser combinada con la ganancia de la etapa amplificadora para asegurar las condiciones de oscilación.

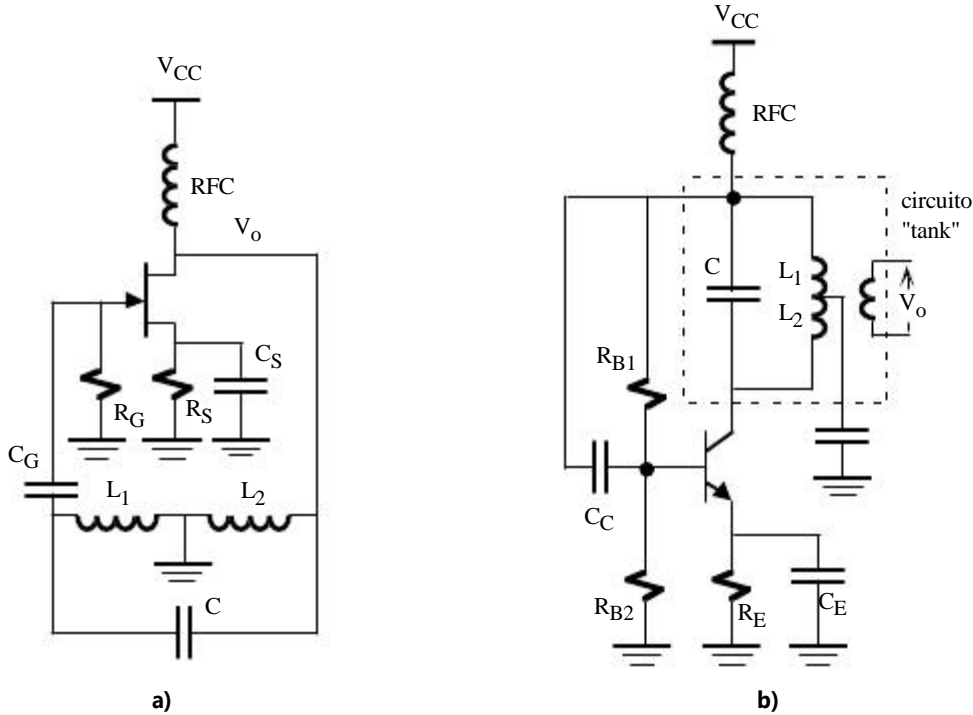


Figura 10.8. Oscilador Hartley basado en un a) FET y b) BJT.

De la misma manera, la frecuencia de oscilación de los osciladores Hartley mostrados en la figura 10.8 viene dada por

$$\omega_o = \frac{1}{2\sqrt{L} \sqrt{C(L_1 + L_2)}} \quad \text{y} \quad A_v > \frac{L_2}{L_1} \tag{10.17}$$

10.5.- Osciladores de cristal

Un cristal de cuarzo presenta la propiedad denominada *efecto piezoeléctrico* por el cual al aplicar una presión mecánica a través de la superficie del cristal éste desarrolla una tensión en la caras opuestas. De una manera similar, una tensión aplicada en las caras del cristal origina una distorsión mecánica en su superficie. Una tensión alterna produce vibraciones mecánicas cuya frecuencia natural es muy estable y depende de la naturaleza y tallado del cristal.

El modelo circuital equivalente de un cristal de cuarzo (figura 10.9.a) está caracterizado por una inductancia L muy elevada (unos pocos Henrios), una capacidad en serie muy pequeña Cs (<0.5pF), una resistencia en serie r (unos cientos de Ω), y una capacidad paralela Cp (unos pocos pF) que representa la capacidad electrostática entre las dos caras del cristal. El factor de calidad Q es muy alto (>20000). Si se desprecia r, la impedancia del cristal

$Z(j\omega)$ viene dada por

$$Z(j\omega) = \frac{1}{j\omega C_p + \frac{1}{j\omega L + 1/j\omega C_s}} \tag{10.18}$$

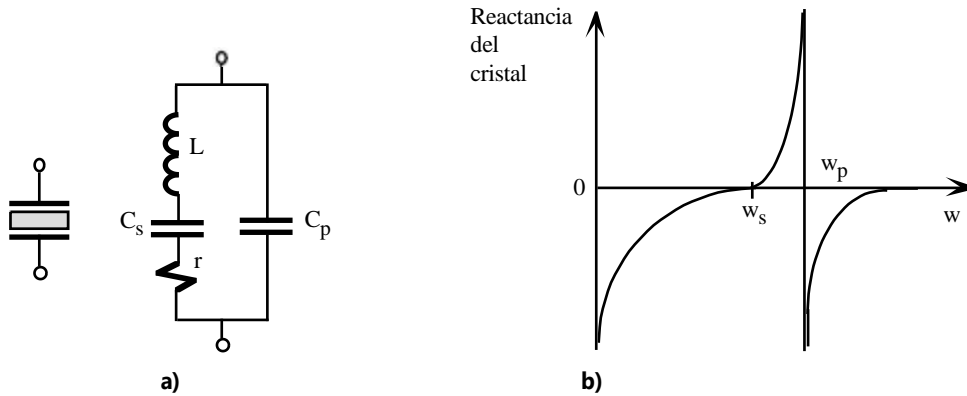


Figura 10.9. Cristal piezoeléctrico: **a)** Símbolo y equivalente circuital; **b)** Reactancia del cristal.

La ecuación 10.18 indica que el cristal tiene dos frecuencias de resonancia: una resonancia en serie ω_s y una en paralelo ω_p dadas por las siguientes ecuaciones

$$\omega_s = 1/\sqrt{LC_s} \quad \text{y} \quad \omega_p = 1/\sqrt{LC_s C_p / (C + C_s)} \tag{10.19}$$

La ecuación 10.18 se puede reescribir de la forma

$$Z(j\omega) = j \frac{1}{\omega C_p} \left(\frac{\omega^2 L C_s}{\omega^2 L C_s + 1} \right) \tag{10.20}$$

en donde $\omega_p > \omega_s$ dado que $C_p \gg C_s$. Una representación gráfica de la reactancia $Z(j\omega)$ se muestra en la figura 10.9.b.

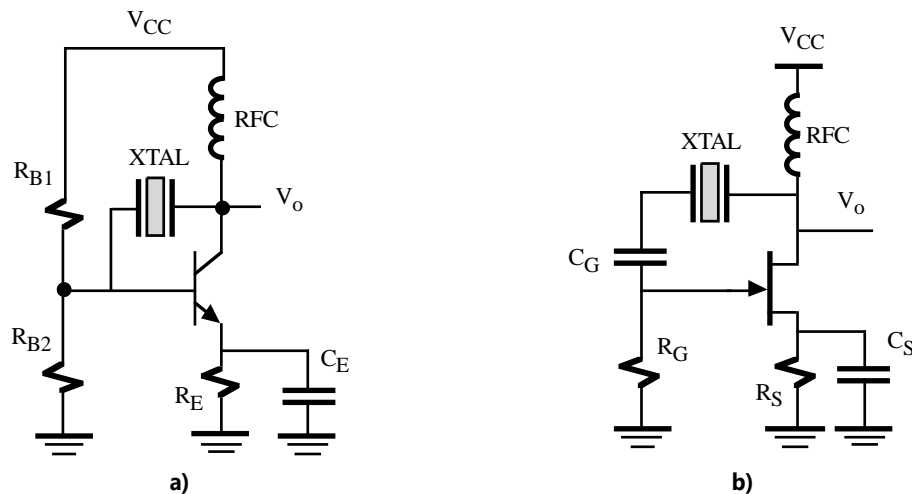


Figura 10.10. Oscilador de cristal usando una realimentación tipo serie: **a)** Circuito basado en un BJT, **b)**

Circuito basado en un JFET.

10.5.1.- Oscilador de cristal resonante en serie

Un cristal excitado en modo resonancia en serie debe ser conectado a la realimentación del circuito en configuración serie. En esta configuración su impedancia más baja se produce para ω_s y, de esta manera, el factor de realimentación es mayor. Las figuras 10.10.a y 10.10.b presentan dos osciladores con estructura resonante en serie. Como resultado, la frecuencia de oscilación del circuito es estable e insensible a variaciones de los parámetros del circuito.

10.5.2.- Oscilador de cristal resonante en paralelo

Un cristal excitado en modo resonancia en paralelo tiene máxima impedancia a la frecuencia ω_p . El cristal de la figura 10.11.a actúa como un elemento inductor en un oscilador modificado Colpitts cuya tensión de salida está acoplada al emisor a través de C_1 y C_2 . El oscilador controlado por cristal Miller de la figura 10.11.b utiliza un circuito LC sintonizado de salida. La máxima tensión de puerta del JFET se produce a la frecuencia ω_p del cristal.

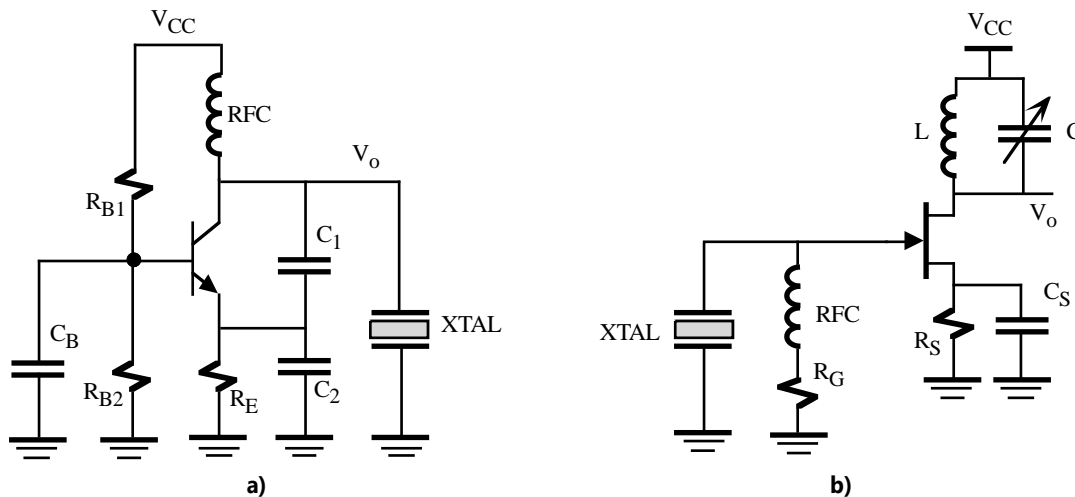


Figura 10.11. Oscilador de cristal usado en configuración paralelo: **a)** Circuito basado en un BJT, **b)** Circuito basado en un JFET.

10.6.- Consideraciones prácticas de los osciladores sinusoidales

Los osciladores sinusoidales presentan problemas de distorsión armónica y suelen ser sensibles a las tolerancias de los dispositivos. Por ello, precisan de potenciómetros de ajustes que situados en el lugar adecuado permiten lograr distorsiones del hasta el 0.01%. La estabilidad y precisión de la frecuencia de oscilación (f_o) es fuertemente dependiente de la calidad de los componentes utilizados. Por ello, una buena elección son condensadores de policarbonato y resistencias de película delgada, y si se desea una precisión muy alta, se recomienda los cristales de cuarzo en configuración paralela que en el mercado se puede encontrar con diversidad de valores; en algunos casos, para asegurar su estabilidad, los cristales se mantienen en recipientes a temperatura constante.

El *slew-rate* de los amplificadores operacionales limitan su máxima frecuencia de operación. Esta frecuencia

se puede incrementar utilizando circuitos de control automático de ganancia a costa de reducir la amplitud de salida. Los osciladores de baja frecuencias exige altos valores de los componentes. En este caso, se recomienda la utilización de OAs con entrada JFET para minimizar los efectos de corriente de polarización y permitir valores de resistencias de decenas de M Ω para obtener frecuencias de oscilación de hasta 0.01 Hz.

Existen circuito monolíticos como el oscilación de precisión 4023/75 de Burr-Brown basado en el puente de Wien y osciladores de cuadratura para tener señales de salida tipo seno y coseno (es un seno con desfasado 90°) como el 4423 de Burr-Brown, entre otros.

10.7.- Multivibrador astable

Una onda cuadrada puede ser generada mediante un multivibrador astable que conmuta periódicamente entre sus dos estados inestables. Este circuito puede ser realizado conectando a un disparador Schmitt (circuito con dos estados estables) una realimentación constituida por un red RC tal cómo se muestra en la figura 10.12. El circuito resultante no presenta ningún estado estable, y por ello se denomina *multivibrador astable*.

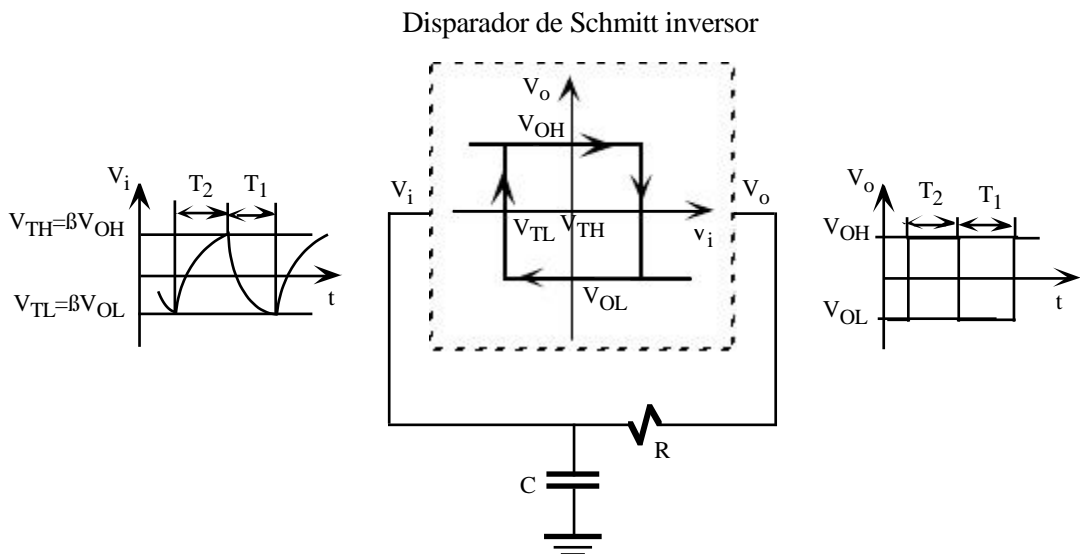


Figura 10.12. Multivibrador astable.

El multivibrador astable puede ser realizado a partir de un disparador de Schmitt con dos estados estables correspondientes a los niveles de tensión de salida V_{OH} y V_{OL} . El cambio de un estado a otro se producirá cuando la V_i alcance el valor de V_{TL} ($V_{OL} < V_{OH}$) o cuando alcance el valor de V_{TH} ($V_{OH} > V_{OL}$); V_{TH} y V_{TL} dependen de V_{OH} y V_{OL} a través del factor β : $V_{TH} = \beta V_{OH}$ y $V_{TL} = \beta V_{OL}$. Para obtener las ecuaciones de este circuito, se supone el disparador Schmitt tiene una tensión de salida inicial de $V_o = V_{OH}$ y el condensador de $V_i = V_{TL}$. En este momento, el condensador se carga a través de R hasta alcanzar la tensión $V_i = V_{TH}$, instante en el cual el disparador cambia de estado y pasa a $V_o = V_{OL}$. En este momento, el condensador que estaba cargado a V_{TH} se descarga siguiendo la siguiente ecuación

$$V_i(t) = V_{OL} + (V_{TH} - V_{OL}) \exp(-t/RC) = V_{OL} + (V_{OH} - V_{OL}) \exp(-t/RC) \tag{10.21}$$

El condensador dejará de descargarse hasta que $V_i = V_{TL}$ instante en el cual el disparador Schmitt pasa a tener el nivel de salida V_{OH} . El tiempo T_1 de descarga del condensador corresponde al tiempo que tarda en variar su

tensión de V_{TH} a V_{TL} . Este tiempo se obtiene al resolver la ecuación 10.21 para que $V_i(t=T_1)=V_{TH}$ resultando

$$T_1 = RC \ln \left\{ \frac{1 + (V_{OH}/V_{OL})}{1 + (V_{TH}/V_{OL})} \right\} \quad (10.22)$$

Similar al caso anterior, el proceso de carga del condensador viene dado por la siguiente ecuación

$$V_i(t) = V_{OH} + (V_{TL} - V_{OH}) \exp(-t/RC) = V_{OH} + (V_{OL} - V_{OH}) \exp(-t/RC) \quad (10.23)$$

Este tiempo T_2 se obtiene al resolver la ecuación 10.23 para $V_i(t=T_2)=V_{TH}$ resultando

$$T_2 = RC \ln \left\{ \frac{1 + (V_{OL}/V_{OH})}{1 + (V_{TH}/V_{OH})} \right\} \quad (10.24)$$

El periodo de la onda cuadrada T viene dado por

$$T = T_1 + T_2 = 2RC \ln \left\{ \frac{1 + (V_{OL}/V_{OH})}{1 + (V_{TH}/V_{OH})} \right\} \quad (10.25)$$

El circuito de la figura 10.13 es un ejemplo práctico de un multivibrador astable basado en un amplificador operacional y su correspondiente diagrama temporal. Los niveles de salida están fijados por la tensión de alimentación ($V_{OH}=V_{CC}$ y $V_{OL}=-V_{CC}$) y el factor $\beta=R_1/(R_1+R_2)$.

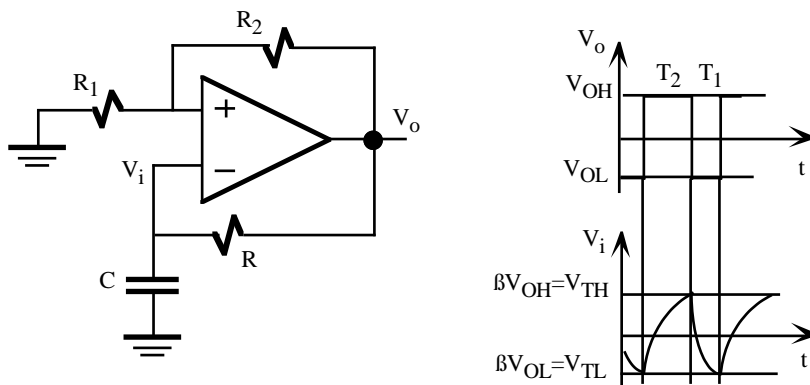


Figura 10.13. Circuito Multivibrador astable y diagrama temporal

10.8.- Generador de una onda triangular

Las formas de onda sinusoidal generadas en el circuito astable anterior pueden convertirse en una onda triangular reemplazando la red RC por un integrador. En la figura 10.14 se muestra un generador de onda triangular basado en un integrador y en un disparador de Schmitt. El integrador realiza la siguiente función

$$V_o(t) = \frac{1}{RC} \int V_i dt + cte \quad (10.26)$$

Al ser la salida del disparador Schmitt una onda cuadrada, V_i es constante durante un intervalo de tiempo, y la salida del integrador es una tensión con una pendiente es $-V_{OH}/RC$ o $-V_{OL}/RC$, en función del estado del